



TITLE:

絶縁ゲート型電界効果トランジスタの実装応力に起因するDC特性変動評価(Dissertation_全文)

AUTHOR(S):

小金丸, 正明

CITATION:

小金丸, 正明. 絶縁ゲート型電界効果トランジスタの実装応力に起因するDC特性変動評価. 京都大学, 2008, 博士(工学)

ISSUE DATE:

2008-07-23

URL:

<https://doi.org/10.14989/doctor.k14102>

RIGHT:

絶縁ゲート型電界効果トランジスタの 実装応力に起因する DC 特性変動評価

平成 20 年 5 月

小金丸 正明

目次

第 1 章 緒論	1
1.1 研究背景	1
1.2 本論文の目的	5
1.3 本論文の概要	6
第 1 章の参考文献	8
 第 2 章 樹脂封止型電子パッケージ中の実装応力評価手法	 13
2.1 緒言	13
2.2 実装応力評価試験片	14
2.2.1 QFP 試験片	14
2.2.2 材料定数	16
2.3 ピエゾ抵抗テストチップを用いた残留応力測定	19
2.3.1 ピエゾ抵抗テストチップ	19
2.3.2 測定方法	20
2.3.3 測定結果	23
2.3.4 残留応力の温度依存性と応力フリー温度	24
2.4 応力フリー温度を基準とした線形熱弾性解析	28
2.4.1 有限要素法解析モデル	28
2.4.2 評価結果および考察	30
2.5 結言	34
第 2 章の参考文献	35

第 3 章 nMOSFET における DC 特性の 1 軸応力感度評価	37
3.1 緒言	37
3.2 1 軸応力感度測定試験	38
3.2.1 4 点曲げ試験システム	38
3.2.2 試験片	38
3.2.3 試験方法	42
3.3 試験結果	42
3.3.1 ドレイン電流の変化	42
3.3.2 相互コンダクタンスの応力感度	45
3.4 応力感度における影響因子の評価	47
3.4.1 nMOSFET の寄生抵抗	47
3.4.2 寄生抵抗値の評価方法	51
3.4.3 評価結果および考察	52
3.5 結言	55
第 3 章の参考文献	56
第 4 章 樹脂封止実装応力による nMOSFET の DC 特性変動評価	59
4.1 緒言	59
4.2 DC 特性変動測定試験	60
4.2.1 試験片	60
4.2.2 試験方法	61
4.3 評価結果および考察	62
4.3.1 QFP の実装応力	62
4.3.2 DC 特性変動評価結果	65
4.4 結言	69
第 4 章の参考文献	70
第 5 章 応力効果を考慮した電子移動度モデルの検討	73
5.1 緒言	73
5.2 ひずみによる Si 伝導帯エネルギーの変化	75

5.2.1	バルク Si の多バレーモデル	75
5.2.2	nMOSFET 反転層での伝導帯エネルギー	77
5.2.3	変形ポテンシャルモデル	78
5.3	デバイスシミュレーションのための電子移動度モデル	80
5.3.1	ひずみによる電子存在確率の変化	80
5.3.2	ひずみによる電子散乱確率の変化	81
5.3.3	応力効果を考慮した電子移動度モデルの定式化	84
5.4	実験結果との比較結果および考察	87
5.4.1	ゲートと水平な面内での 2 軸等負荷	87
5.4.2	電流方向と平行および垂直方向への 1 軸負荷	90
5.5	結言	91
	第 5 章の参考文献	92
 第 6 章 実装応力に起因した nMOSFET の電気特性変動シミュレーション		95
6.1	緒言	95
6.2	デバイスシミュレーションモデル	96
6.2.1	ドリフト拡散モデル	96
6.2.2	解析モデルおよび条件	97
6.3	シミュレーション結果および考察	101
6.4	結言	104
	第 6 章の参考文献	105
 第 7 章 結論		109
 関連発表論文		113
 謝辞		117

第 1 章

緒 論

1.1 研究背景

近年，携帯電話に代表される電子機器のライフサイクルは急速に短くなり，それにもなって製品の設計，開発および評価に費やすことができるコスト（予算，時間）が極端に少なくなっている．一方で，電子機器に要求される仕様は，高・多機能かつ軽薄短小を実現する必要がある等ますます厳しいものになっている．この状況は，半導体関連技術の研究開発に大きな変化をもたらしている．すなわち，過去の電子機器開発では，主に半導体設計・プロセス技術や回路設計技術，いわゆる“上流側”の技術開発に重点が置かれてきた．しかし現在では，実際に半導体素子や部品を基板や電子パッケージに“実装”する技術およびその評価技術の確立無しには，最終製品の実用化が困難な状況になってきている[1,2]．いかに優れた半導体素子を開発しても，実装技術が実用に耐えなければ最終製品として成立しない．換言すれば，最先端の実装技術およびその評価技術を保有することで，他社製品との差別化（コストを含む）を図ることが可能となる．最先端の実装技術が，半導体メーカー，ひいては日本の半導体関連産業の国際競争力を維持する上でのキーテクノロジーとなっている．

現在，電子機器の軽薄短小化を実現するため，電子実装およびパッケージ形態の高密度化が急速に進んでいる[3,4]．図 1.1 に示すように，基板上に電子パッケージ・部品を装着する従来の表面実装から，半導体チップを 1 パッケージ中に多段に配置する MCP（Multi Chip Module）[5]，従来一つの基板で担っていたような機能を単一チップに収める SiP（System in Package）[6]，基板の中に素子やデバイスを実装する部品内蔵基

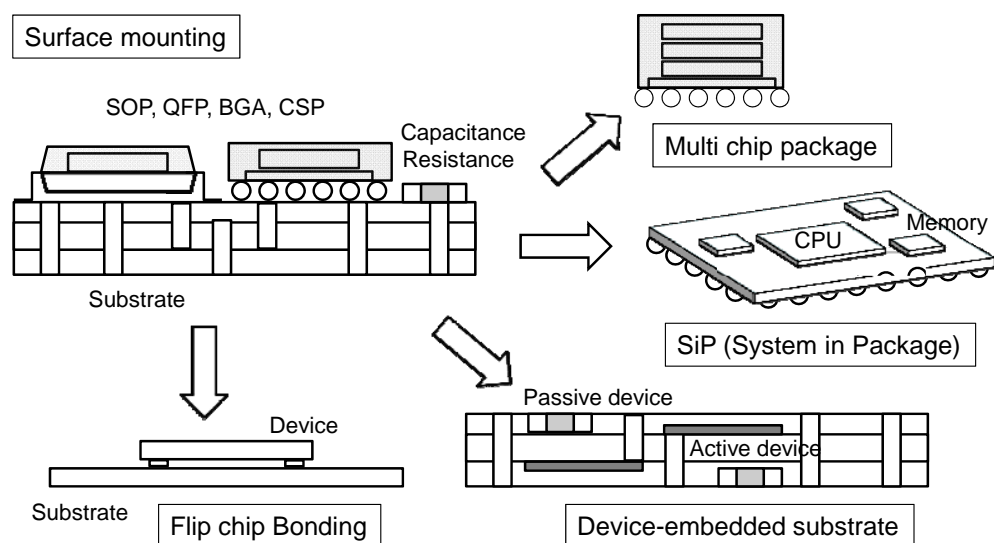


Fig. 1.1 Surface mounting and high density mounting.

板 (Device-embedded substrate) [7]やフェイスダウンで半導体チップのワイヤレスボンディングを行うフリップチップ実装 (Flip chip bonding) [8]等へ実装の形態が変化しつつあり、実装面積の大幅な削減が進められている。これら新たな実装形態では、実装密度の増大が顕著、かつ半導体チップ自体の面積も増加している[9]ことから、実装時の残留応力が増大する傾向にある。例えば、高密度実装構造として主流となりつつあるフリップチップ実装においても、信頼性の観点から無視できない程度の残留応力が半導体チップ上に発生することが指摘されている[10]。すなわち、電子実装において応力に起因する信頼性の問題解決が急務となっている。

電子パッケージはセラミックスや金属、樹脂等、特性の大きく異なる材料により形成されて機能を発現させているが、反面、特性の異なる材料を接合することは、パッケージの機械的信頼性を損ない、製品の設計や信頼性評価を複雑にする原因となる。すなわち、構成材料間の大きな線膨張係数差に起因する実装時の残留応力は、図 1.2 に示すような電子パッケージ中の配線やはんだ部の接続不良等の機械的信頼性の問題を引き起こす。さらに最近では、機械的に壊れていなくても電氣的に動作不良を起こす現象がクローズアップされてきた[11-14]。すなわち、実装によって電子パッケージ中の半導体チップに生じた残留応力がチップに形成された半導体デバイスの電氣的な動作特性を

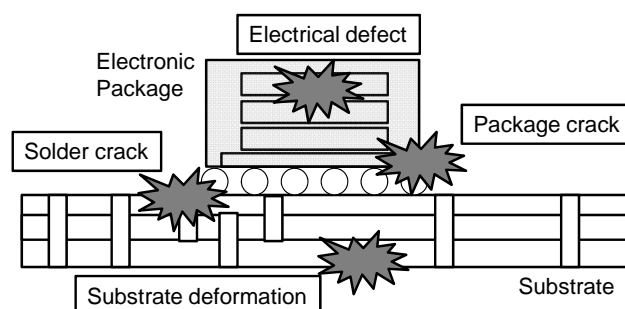


Fig. 1.2 Stress-induced failure in electronic package, substrate and interface.

変動させ、最終的な電子機器製品に不具合が生じてしまい実装メーカーで問題となっている。しかしながら、このような問題に的確に対処できる工学的知見に基づいた汎用的な評価技術が確立しておらず、実装メーカーでは従来からの経験則に基づいた製品の設計・製造が行われる場合が多い。したがって、実装工程で半導体チップに発生する残留応力を適切に見積もり、残留応力による半導体デバイスの電気特性変動を予測できる評価技術の確立が切望されている。

実装工程で半導体チップに生じる残留応力の測定方法として、ピエゾ抵抗効果を利用した応力測定用テストチップが開発され、応用例も報告されている[15-17]。また、汎用テストチップも市販されており[18]、半導体チップ表面に生じる残留応力を比較的精度良く実測することができる。しかし汎用のテストチップでは、チップ形状や抵抗の配置、個数に制限があるため、実装メーカーが個々に実施する多種多様のパッケージの評価において十分な設計・製造指標を提供できるわけではない。この点を補う方法としては、有限要素法による応力解析が挙げられる[19-21]。有限要素法による電子パッケージの残留応力や反りの評価は、パッケージに使用される樹脂が粘弾性特性を有することから、この粘弾性挙動をモデル化した解析も実施されている[22,23]。しかし、この樹脂粘弾性を考慮した解析には、樹脂の粘弾性材料特性を取得する実験に多大な労力を要し、また、樹脂のガラス転移点付近の挙動が複雑でそのモデル化に高度な技術を要することが多い。したがって、多種多様な電子パッケージを扱う実際の設計・製造現場では、多大な評価コストを必要とせず、実用上において十分な精度を有する残留応力評価手法が必要とされている。

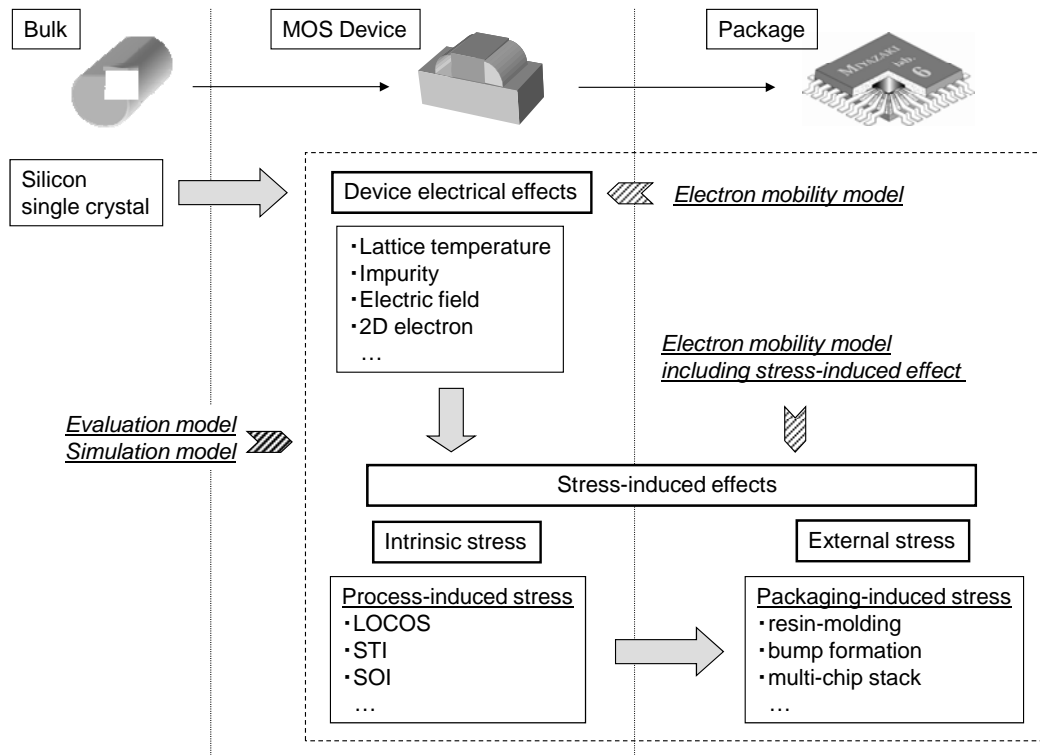


Fig. 1.3 Influence factors to electron mobility during process of electronic package.

現在最も使われている半導体材料である単結晶 Si において、バルク Si に生じた応力（ひずみ）による Si の電気特性変動は古くからピエゾ効果として知られている[24-26]。また既に述べたような工業的関心から、最も多く使用されているトランジスタである MOSFET（Metal Oxide Semiconductor Field Effect Transistor：絶縁ゲート型電界効果トランジスタ）のピエゾ効果についても、曲げ負荷試験により多数の実験結果が示されている[27-37]。そしてこれらの結果はいずれも、MOSFET のピエゾ効果がバルク Si のピエゾ効果と定性的に一致することを示すものである。評価手法としてのピエゾ効果モデルは、応力と電気特性変動を直接結び付ける経験的モデルであり、各デバイスにおける構造や不純物濃度等の違いは評価モデルの中で考慮されず、その評価パラメータ（応力感度）をデバイスごとに測定する必要がある。図 1.3 には、バルク Si から MOS デバイスの形成、パッケージングまでの間に電気特性に影響を与える因子の概要を、キャリア移動度の変化という観点で示している。図 1.3 から分かるように、最終的なパッケージにおけるデバイスの電気特性は、各工程、種々の要因で変動する。すなわち、電

気特性値変動評価を実施する際には、どのような応力状態で、どの工程のどのような影響を含んだ特性変動であるのかを理解し、評価の過程で考慮する必要がある。換言すれば、ピエゾ効果に帰着される手法や実験式を用いた経験的手法 [11,29,32,37]のみで、多種多様存在する実際のデバイス評価に対応することは容易ではない。したがって、実際の設計・製造現場で利用できるような定量的かつ汎用的な評価手法の確立とそれに必要な応力感度に影響を及ぼす因子の詳細な検討が課題として残されている。

汎用的に半導体デバイスの電気特性変動における応力効果を評価する手法としては、デバイスシミュレーション[38,39]の利用が非常に有効な手段の一つであると考えられる。すなわち、デバイスシミュレーションではデバイス形状や不純物濃度がモデルパラメータとして扱え、図 1.3 に示したような各影響因子も取り扱えるため非常に汎用的である。Egley と Chidambarao は、応力による伝導帯および価電子帯のエネルギー変化をキャリア(電子, 正孔)存在確率の変化に反映させたキャリア移動度モデルを提案し、このモデルを用いたデバイスシミュレーションにより npn トランジスタにおける応力効果の評価を実施している[40]。Moroz らは、Egley らの移動度モデルを用いてプロセス時の応力に起因した電気特性変動をデバイスシミュレーションにより評価している[41]。また、Dhar らは、Egley らの移動度モデルに電子散乱確率の変化を考慮した電子移動度モデルを提案している[42,43]。しかし現状では、応力に起因したデバイスの電気特性変動をデバイスシミュレーションにより評価した例は他に見あたらず、実験結果との比較によって移動度モデルを含むシミュレーションモデルの妥当性、有用性が検証されているとは言い難い。評価手法としてのデバイスシミュレーションの有用性に鑑みれば、さらなるシミュレーションモデルの検討および実デバイスへの適用と検証、評価結果の蓄積が望まれている。

1.2 本論文の目的

本論文では、前節で述べたような研究背景から、実装応力に起因する半導体デバイスの電気特性変動とその評価、デバイスシミュレーションを用いた評価技術の構築をターゲットにして研究を実施した。したがって、本論文における研究は大別して以下の 3 項目を目的としている。

- (1) 樹脂封止実装時に半導体チップ上に生じる残留応力を、簡易かつ実用上十分な

精度で見積もる手法を提案する.

- (2) nMOSFET (n-type MOSFET) の 1 軸応力感度, および実際の実装応力に起因する DC 特性変動を計測・評価する.
- (3) デバイスシミュレーションで用いるための応力効果を考慮した電子移動度モデルを検討し, 実験結果との比較によりその妥当性を検証する. また, 実装応力に起因する nMOSFET の DC 特性変動をデバイスシミュレーションで評価し, 応力効果の評価におけるデバイスシミュレーションの有用性を示す.

1.3 本論文の概要

本論文は, 本章を含めて全 7 章から構成される. 以下に, 本論文の構成と各章の概要を示す.

第 1 章では, 本論文の研究背景, 目的および論文概要について述べている.

第 2 章では, ピエゾ抵抗テストチップによる計測と有限要素法線形熱弾性解析を組み合わせた方法により, 樹脂封止工程で Si チップ表面上に生じる残留応力を評価する手法を示す. 樹脂封止型電子パッケージの例として QFP(Quad Flat Package)を対象にし, その樹脂封止工程で Si チップ表面上に生じる残留応力を評価し, テストチップによる計測結果と比較して本手法の妥当性を検証する.

第 3 章では, 4 点曲げ試験により半導体デバイスに応力を負荷した状態でその DC 特性を計測する試験システムを用い, nMOSFET の 1 軸負荷に対する応力感度を評価する. その際, 形状が異なる試験片を用いて, 応力感度の電流方向に対する負荷方向依存性およびゲート長さ依存性を評価する. さらに, 簡易的に nMOSFET の寄生抵抗値を評価する手法を示し, 寄生抵抗が応力感度に及ぼす影響を評価する.

第 4 章では, 実際の樹脂封止実装工程で生じる残留応力に起因した nMOSFET の DC 特性変動を評価する. すなわち, 第 3 章で応力感度を評価する nMOSFET を, 第 2 章で残留応力を評価する樹脂封止工程で実装し, その DC 特性変動を評価する. その際, 第 3 章と同様にゲート長さ依存性を評価する. さらに, この実装応力に起因する DC 特性変動測定結果を, 1 軸負荷による応力感度を用いて見積もる.

第 5 章では, デバイスシミュレーションで用いるための応力効果を考慮した電子移動度モデルについて検討を行う. すなわち, 応力による伝導帯エネルギーの変化, および

伝導帯エネルギー変化によって引き起こされる電子存在確率と散乱確率の変化を反映した電子移動度モデルを示し、この移動度モデルを用いて算出される移動度変化率を実験結果と比較して移動度モデルの妥当性を検証する。

第 6 章では、実装応力に起因する nMOSFET の DC 特性変動を、デバイスシミュレーションを用いて評価する。すなわち、第 5 章で示す電子移動度モデルを用いてデバイスシミュレーションを実施し、第 4 章で実験結果を示す実装応力による nMOSFET の DC 特性変動を評価する。実験結果との比較により、応力効果の評価におけるデバイスシミュレーションの妥当性、有用性を検証する。

最後に、第 7 章では各章で得られた結果を総括する。

第 1 章の参考文献

- [1] エレクトロニクス実装学会信頼性解析技術委員会, “信頼性解析技術の現状と展望”, エレクトロニクス実装学会誌, Vol.10, No.1, pp.14-17, 2007.
- [2] エレクトロニクス実装学会信頼性解析技術委員会, “電子機器の高密度実装に対処した信頼性評価の現状と今後の課題”, エレクトロニクス実装学会誌, Vol.11, No.1, pp.19-23, 2008.
- [3] 電子情報技術産業協会, “2007 年度版日本実装技術ロードマップ”, 2007.
- [4] 嶋田勇三, “先端実装技術の動向と今後の展望”, 電子情報通信学会論文誌, (C), Vol.J88-C, No.11, pp.827-838, 2005.
- [5] エレクトロニクス実装学会半導体パッケージ技術委員会, “半導体実装—チップ積層技術の最新動向と今後の課題”, エレクトロニクス実装学会誌, Vol.10, No.1, pp.38-41, 2007.
- [6] 赤沢隆, “SiP の最新技術動向”, エレクトロニクス実装学会誌, Vol.10, No.5, pp.363-367, 2007.
- [7] エレクトロニクス実装学会配線板製造技術委員会, “部品内蔵基板の現状と展望”, エレクトロニクス実装学会誌, Vol.11, No.1, pp.14-18, 2008.
- [8] 水越正孝, “フリップチップ接続技術の最新動向”, エレクトロニクス実装学会誌, Vol.10, No.5, pp.415-422, 2007.
- [9] 春田亮, “パッケージ技術動向”, エレクトロニクス実装学会誌, Vol.10, No.5, pp.353-357, 2007.
- [10] 上田啓貴, 三浦英生, “フリップ実装構造における Si チップ内の局所残留応力評価”, 電子情報通信学会論文誌, (C), Vol.J88-C, No.11, pp.859-865, 2005.
- [11] 三浦英生, 西村朝雄, “パッケージング応力起因の半導体素子特性変動”, 日本機械学会論文集, A 編, Vol.61, No.589, pp.1957-1964, 1995.
- [12] H. Ali, “Stress-induced parametric shift in plastic packaged devices”, IEEE

- Transactions on Components, Packaging, and Manufacturing Technology, Vol.20, Part B, No.4, pp.458-462, 1997.
- [13] N. Watanabe and T. Asano, "Influence of direct Au-bump formation on metal oxide semiconductor field effect transistor", Japan Journal of Applied Physics, Vol.41, Part 1, No.4B, pp.2714-2719, 2002.
- [14] 池田晃裕, 浜口淳, 小木博志, 岩崎一也, 服部励治, 黒木幸令, "チップスタック型マルチチップ実装における MOSFET の移動度の変動について", 電子情報通信学会論文誌, (C), Vol.J88-C, No.11, pp.866-873, 2005.
- [15] 三浦英生, 西村朝雄, 河合末男, 西 邦彦, "IC プラスチックパッケージ内応力測定素子の開発とその応用", 日本機械学会論文集, A 編, Vol.53. No.493, pp.1826-1832, 1987.
- [16] R.C. Jaeger, J.C. Suhling, R. Ramani, A.T. Bradley and J. Xu, "CMOS stress sensors on (100) silicon", IEEE Journal of Solid-State Circuits, Vol.35, No.1, pp.85-95, 2000.
- [17] J.C. Suhling and R.C. Jaeger, "Silicon piezoresistive stress sensors and their application in electronic packaging", IEEE Sensors Journal, Vol.1, No.1, pp.14-30, 2001.
- [18] 株式会社日立超 LSI システムズ, "技術資料", 2004.
- [19] 三浦英生, 西村朝雄, 河合末男, 西邦彦, "IC プラスチックパッケージ内シリコンチップ残留応力の検討", 日本機械学会論文集, A 編, Vol.55, No.516, pp.1763-1770, 1989.
- [20] A. Mertol, "Stress analysis and thermal characterization of a high pin count PQFP", Journal of Electronic Packaging, Vol.114, pp.211-220, 1992.
- [21] D.Y.R. Chong, C.K. Wang, K.C. Fong and P. Lall, "Finite element parametric analysis on fine-pitch BGA (FBGA) packages", Proceedings of IPACK03, 2003.
- [22] 佐々木康二, 斉藤直人, 天城滋夫, 原口芳広, "樹脂モールド時残留応力の数値解析 (第1報, 硬化後冷却時に発生する応力と変形の粘弾性解析)", 日本機械学

- 会論文集, A 編, Vol.64, No.622, pp.1660-1666, 1998.
- [23] 三宅清, “BGA パッケージの硬化収縮を考慮した反り粘弾性解析”, エレクトロニクス実装学会誌, Vol.7, No.1, pp.54-61, 2004.
- [24] C.S. Smith, “Piezoresistance effect in germanium and silicon”, *Physical Review*, Vol.94, No.1, pp.42-49, 1954.
- [25] Y. Kanda, “A graphical representation of the piezoresistance coefficients in silicon”, *IEEE Transactions on Electron Devices*, Vol.ED-29, No.1, pp.64-70, 1982.
- [26] Y. Kanda, “Piezoresistance effect of silicon”, *Sensors and Actuators A*, Vol.28, pp.83-91, 1991.
- [27] A. Hamada, T. Furusawa, N. Saito and E. Takeda, “A new aspect of mechanical stress effects in scaled MOS devices”, *IEEE Transactions on Electron Devices*, Vol.38, No.4, pp.895-900, 1991.
- [28] C.L. Huang, H.R. Soleimani, G.J. Grula, J.W. Sleight, A. Villani, H. Ali and D.A. Antoniadis, “LOCOS-induced stress effects on thin-film SOI devices”, *IEEE Transactions on Electron Devices*, Vol.44, No.4, pp.646-650, 1997.
- [29] A.T. Bradley, R.C. Jaeger, J.C. Suhling and K.J. O'Connor, “Piezoresistive characteristics of short-channel MOSFETs on (100) silicon”, *IEEE Transactions on Electron Devices*, Vol.48, No.9, pp.2009-2015, 2001.
- [30] W. Zhao, J. He, R.E. Belford, L.E. Wernersson and A. Seabaugh, “Partially depleted SOI MOSFETs under uniaxial tensile strain”, *IEEE Transactions on Electron Devices*, Vol.51, No.3, pp.317-323, 2004.
- [31] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi, R. Gwoziecki, S. Orain, E. Robilliart, C. Raynaud and H. Dansas, “Electrical analysis of mechanical stress induced by STI in short MOSFETs using externally applied stress”, *IEEE Transactions on Electron Devices*, Vol.51, No.8, pp.1254-1261, 2004.
- [32] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi and R. Gwoziecki, “Electrical analysis of external mechanical stress effects in short channel MOSFETs on (001) silicon”, *Solid-State Electronics*, Vol.48, pp.561-566, 2004.

- [33] S.E. Thompson, G. Sun, K. Wu, J. Lim and T. Nishida, “Key differences for process-induced uniaxial vs. substrate induced biaxial stressed Si and Ge channel MOSFETs”, International Electron Devices Meeting, pp.221-224, 2004.
- [34] H. Irie, K. Kita, K. Kyuno and A. Toriumi, “In-plane mobility anisotropy and universality under uni-axial strains in n- and p-MOS inversion layers on (100), (110), and (111) Si”, International Electron Devices Meeting, pp.225-228, 2004.
- [35] K. Uchida, R. Zednik, C.H. Lu, H. Jagannathan, J. McVittie, P.C. McIntyre and Y. Nishi, “Experimental study of biaxial and uniaxial strain effects on carrier mobility in bulk and ultrathin-body SOI MOSFETs”, International Electron Devices Meeting, pp.229-232, 2004.
- [36] K. Uchida, T. Krishnamohan, K.C. Saraswat and Y. Nishi, “Physical mechanisms of electron mobility enhancement in uniaxial stressed MOSFETs and impact of uniaxial stress engineering in ballistic regime”, International Electron Devices Meeting, pp.135-138, 2005.
- [37] 熊谷幸博, 太田裕之, 三浦英生, 清水昭博, 蒲原史朗, 前川径一, “ディープサブミクロン MOSFET の応力起因ドレイン電流変動評価手法の開発”, 日本機械学会論文集, A 編, Vol.72, No.713, pp.47-54, 2006.
- [38] C.M. Snowden, Introduction to semiconductor device modeling, World Scientific, 1986.
- [39] 富澤一隆, 半導体デバイスシミュレーション, コロナ社, 1996.
- [40] J.L. Egley and D. Chidambarrao, “Strain effects on device characteristics: implementation in drift-diffusion simulators”, Solid-State Electronics, Vol.36, No.12, pp.1653-1664, 1993.
- [41] V. Moroz, N. Strecker, X. Xu, L. Smith and I. Bork, “Modeling the impact of stress on silicon processes and devices”, Materials Science in Semiconductor Processing, Vol.6, pp.27-36, 2003.
- [42] S. Dhar, H. Kosina, V. Palankovski, S.E. Ungersboeck and S. Selberherr,

- “Electron mobility model for strained-Si devices”, IEEE Transactions on Electron Devices, Vol.52, No.4, pp.527-533, 2005.
- [43] S. Dhar, E. Ungersböck, H. Kosina, T. Grasser and S. Selberherr, “Electron mobility model for <110> stressed silicon including strain-dependent mass”, IEEE Transactions on Nanotechnology, Vol.6, No.1, pp.97-100, 2007.

第 2 章

樹脂封止型電子パッケージ中の実装応力評価手法

2.1 緒言

実装工程で電子パッケージに生じる残留応力の評価方法として、ピエゾ抵抗ゲージが形成された応力測定用テストチップ（以下テストチップと呼ぶ）を実際に実装して残留応力を計測する方法[1-3]や、有限要素法による応力解析が用いられている。テストチップを用いた残留応力測定では、汎用テストチップも市販されており[4]、各実装工程で Si チップ表面に生じる残留応力を比較的精度良く実測することができる。ただし、汎用のテストチップではその仕様（形状や抵抗の配置）に制限があるため、多種多様な実製品全ての評価に対応できるわけではない。この点を補うために、通常は計算機シミュレーション、すなわち有限要素法による応力解析が実施される。その際、電子パッケージ材料である樹脂が粘弾性挙動を有することから、この粘弾性挙動をモデル化した解析が実施されている[5,6]。しかしながら、この樹脂粘弾性を考慮した応力解析は、樹脂の粘弾性材料特性の取得および樹脂のガラス転移点付近の挙動のモデル化に手間がかかる場合も多い。したがって、多種多様な電子パッケージを設計・製造するメーカーでは、評価にかかるコストの面からより簡便な評価手法が望まれている。

そこで本章では、ピエゾ抵抗ゲージを利用したテストチップによる計測と線形の有限要素法熱応力解析を組み合わせた方法により、樹脂封止工程で Si チップ表面上に生じる残留応力を樹脂の粘弾性材料特性や硬化収縮過程を考慮する解析に比較して簡便で、

かつ、Si チップ上の残留応力に起因した半導体デバイスの特性変動を評価する上で十分な精度を有する評価手法を示すことを目的とした。本評価手法の妥当性を検証するため、樹脂封止型電子パッケージの例として QFP(Quad Flat Package)を対象にし、その樹脂封止工程で Si チップ表面上に生じる残留応力を評価し、テストチップによる実測結果と比較した。なお、第4章、第5章ならびに第6章では、本章での残留応力評価結果に対し、nMOSFET の電気特性変動を評価する。

2.2 実装応力評価試験片

2.2.1 QFP試験片

実装応力の評価に用いた QFP 試験片の形状を図 2.1(a)に、写真を図 2.1(b)に示す。この QFP 中に Si チップ、すなわち応力測定用のテストチップを実装した。具体的には、テストチップのダイボンディング、ワイヤボンディングおよび樹脂封止を行った。本研究では、大きさが 3mm×3mm(Chip I とする)、または 6mm×6mm(Chip II とする)の 2 種類のテストチップを使用した。チップ厚さはいずれも 0.3mm である。図 2.1(b)には、Chip I または Chip II を実装(封止樹脂は除去)した写真を示している。なお、図 2.1(a)には Chip I を実装した場合を示しているが、Chip II の場合もチップ形状以外は同一である。テストチップの表面には、応力測定用のピエゾ抵抗ゲージ(拡散抵抗)が複数形成されている。応力測定用テストチップの詳細は、2.3 節で詳しく述べる。

QFP の成形条件は、ダイボンディング後のダイボンディングペースト材のキュア温度が 180°C (昇温時間を含め 2 時間)、樹脂封止の際の金型温度が 175°C、ポストキュアが 180°C で 5 時間である。なお、封止樹脂材として線膨張係数が 2 倍以上異なる 2 種類の樹脂を用いることにより、樹脂封止によって Si チップに発生する残留応力が異なる 2 種類の QFP 試験片を作製した。QFP で用いた材料の材料定数は、次節 2.2.2 で詳しく述べる。

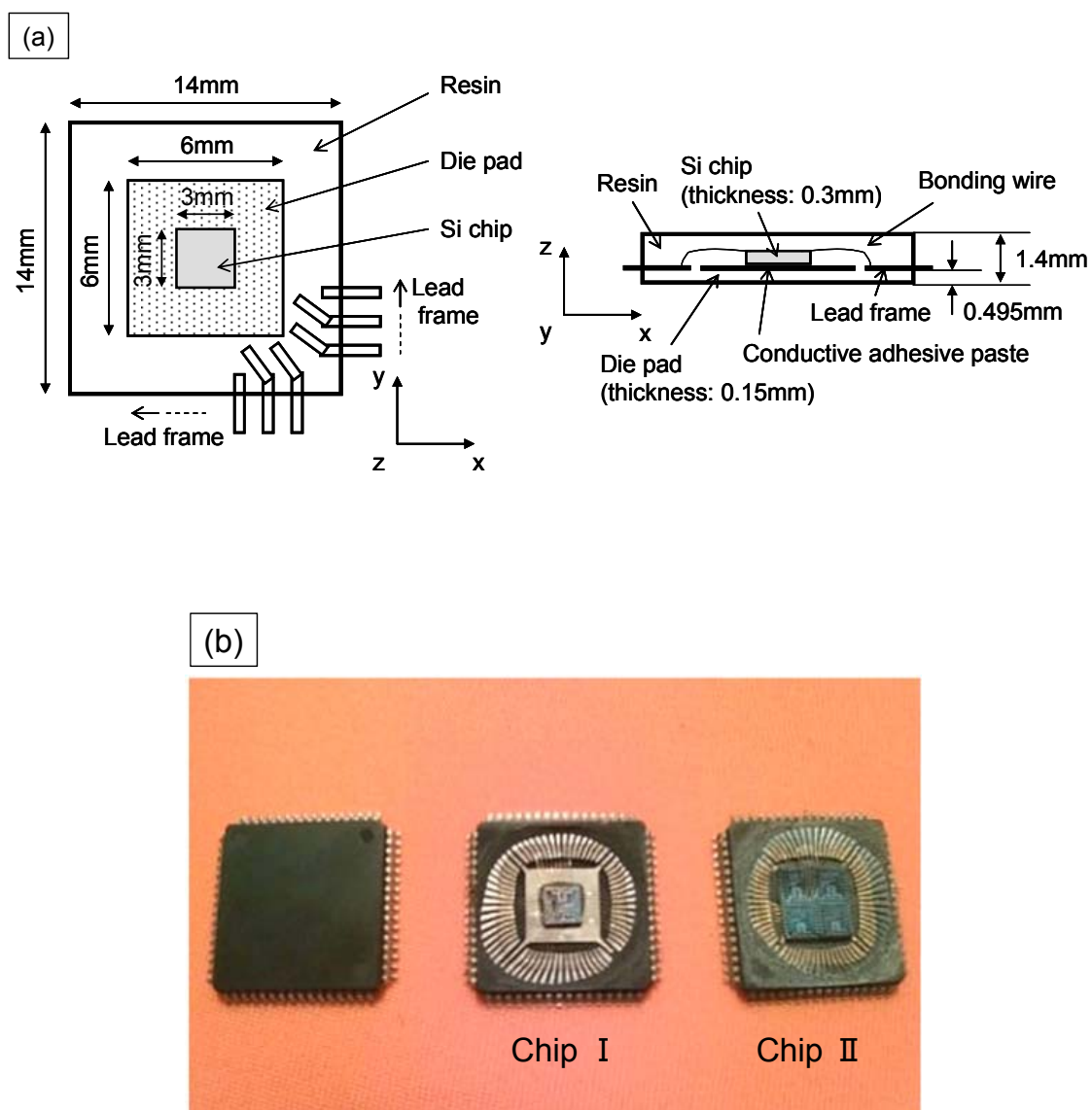


Fig. 2.1 Quad Flat Package (QFP) specimens. (a) Schematic diagram of specimens, (b) Picture of specimens.

2.2.2 材料定数

表 2.1 に QFP で用いた材料の材料定数をまとめて示す．これらの値を，2.4 節で示す残留応力評価のための有限要素法による線形熱弾性解析の入力データとした．表 2.1 に示す材料定数のうち，Si の弾性定数はその異方性を考慮するため表 2.2 に示す剛性行列を用い，封止樹脂の線膨張係数は以下に述べるように TMA(Thermo-mechanical analyzer)を用いて計測した．その他の材料定数はカタログ値である．

まず、Si の剛性行列テンソルは，Si が立方晶であるため， $\langle 100 \rangle$ ， $\langle 010 \rangle$ ， $\langle 001 \rangle$ 方向にそれぞれ 1 軸，2 軸，3 軸をとった結晶座標系において独立した成分が表 2.2 に示す 3 成分となる[7]．一方，有限要素法解析では，後述するように解析座標系の x 軸， y 軸， z 軸を，それぞれ $\langle 110 \rangle$ ， $\langle \bar{1}10 \rangle$ ， $\langle 001 \rangle$ 方向にとっている．すなわち，Si 結晶座標系と解析座標系が異なるため，解析の際は表 2.2 に示す剛性行列テンソルを解析座標系に回転（テンソル変換）して得られる値を用いた．

次に，封止樹脂の線膨張係数の値とその温度依存性は，残留応力の線形熱弾性解析結果に最も大きな影響を及ぼすと考えられ，さらにその値は製造ロットによって差が見られることを考慮し，TMA により実際に使用した樹脂を用いて測定した．本研究では，封止樹脂材料として，Resin A および Resin B として呼び名を区別する線膨張係数が異なる 2 種類の樹脂を用いた．TMA 測定の結果を Resin A および Resin B について，図 2.2(a)，(b)にそれぞれ示す．温度に対して TMA 試験片伸びの変化率をプロットした図 2.2(a)，(b)において，室温から変曲点温度までの直線の傾きから線膨張係数の値を算出した．Resin A では 120°C 付近に変曲点が存在することが明らかである．一方，Resin B では明瞭な変曲点が現れず， $120\sim 150^{\circ}\text{C}$ の間で徐々に傾きが変化している．これは，封止樹脂がガラス転移点の異なる複数の材料の混合物であるためと考えられる．Resin A，Resin B とともに，直線性の良い室温から 120°C までを最小二乗近似し，その傾きから Resin A では線膨張係数の値として $12.2 \times 10^{-6} / ^{\circ}\text{C}$ を，Resin B では $30.1 \times 10^{-6} / ^{\circ}\text{C}$ を得た．なお，2.3.4 項で決定する線形熱弾性解析における応力ゼロの基準温度（応力フリー温度）は何れも 120°C 以下となるため，この温度以上の線膨張係数の値を必要としない．また線形熱弾性解析では，解析結果は温度変化過程の線膨張係数と評価温度でのヤング率とポアソン比によって決定される．したがって，評価温度以外のヤング率やポアソン比の値は必要としない．

Table 2.1 Material properties used in a finite element analysis.

	Young's Modulus (GPa)	Poisson's Ratio	Coefficient of Thermal Expansion ($\times 10^{-6}/^{\circ}\text{C}$)
Si chip	(Table 2.2)	(Table 2.2)	2.6
Resin A	24	0.25	12.2
Resin B	15.6	0.24	30.1
Conductive Adhesive Paste	5.39	0.4	30
Die Pad	147	0.3	7

Table 2.2 Components of stiffness matrix of silicon [7].

Crystal axis coordinate system: 1,2,3

c_{11}	165.7
c_{12}	63.9
c_{44}	79.6

Unit: GPa

$$\begin{pmatrix} c_{11} & c_{12} & c_{12} & 0 & 0 & 0 \\ c_{12} & c_{11} & c_{12} & 0 & 0 & 0 \\ c_{12} & c_{12} & c_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & c_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & c_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & c_{44} \end{pmatrix}$$

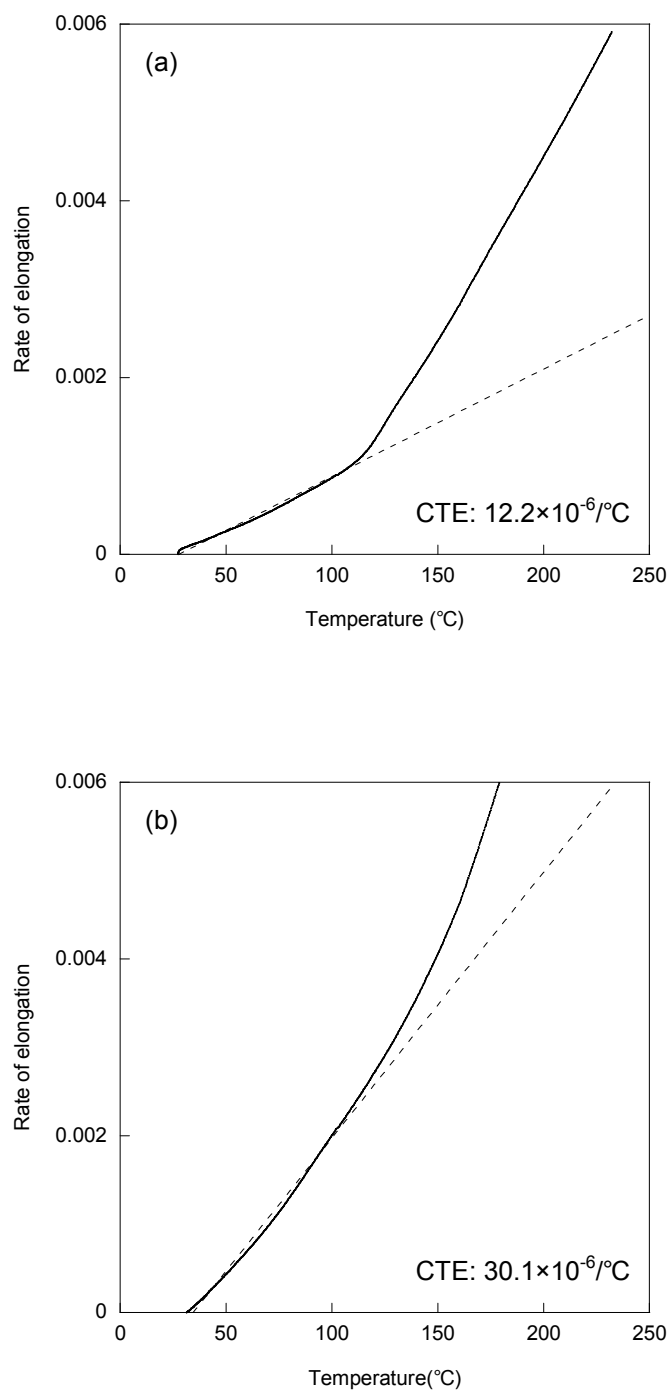


Fig. 2.2 Experimental results of coefficient of thermal expansion of molding resin measured by TMA. (a) Resin A, (b) Resin B.

2.3 ピエゾ抵抗テストチップを用いた残留応力測定

2.3.1 ピエゾ抵抗テストチップ

本研究では、市販((株)日立超 LSI システムズ製)のテストチップを用いた。図 2.3(a)に、本研究で用いたテストチップ表面上におけるpiezo抵抗ゲージの配置を示す。各テストチップとも、チップエッジに沿った方向が長手方向になるように4つのpiezo抵抗ゲージ(Gauge #1~4 とする)が形成されている。Chip II については、piezo抵抗ゲージの配置により Chip II -1 および Chip II -2 の 2 種類を用いた。piezo抵抗ゲージのパターンおよび寸法を図 2.3(b)に示す。piezo抵抗ゲージは、Si 結晶座標系で(001)面に形成されており、その長手方向は $\langle 110 \rangle$ および $\langle \bar{1}10 \rangle$ 方向である。本論文では応力測定結果や有限要素法応力解析モデルを表す便宜上、 $\langle 110 \rangle$ 方向を x 軸に、 $\langle \bar{1}10 \rangle$ 方向を y 軸にとった座標系を用いる。本テストチップを実際に実装して実装工程前後のゲージ抵抗値の変化を計測することにより、実装工程によって生じるゲージ位置におけるゲージの長手方向(本論文では x 方向および y 方向)の垂直応力を測定することができる。なお、今回使用したテストチップでは、ゲージの長手方向以外の応力成分(長手方向に垂直な成分やせん断成分)に関する感度は小さく、長手方向に比較して約 1/100~1/10 である[4]が、本テストチップではこれらの成分を分離できないため、測定値に 1/100~1/10 程度の誤差を原理的に含んでいる。

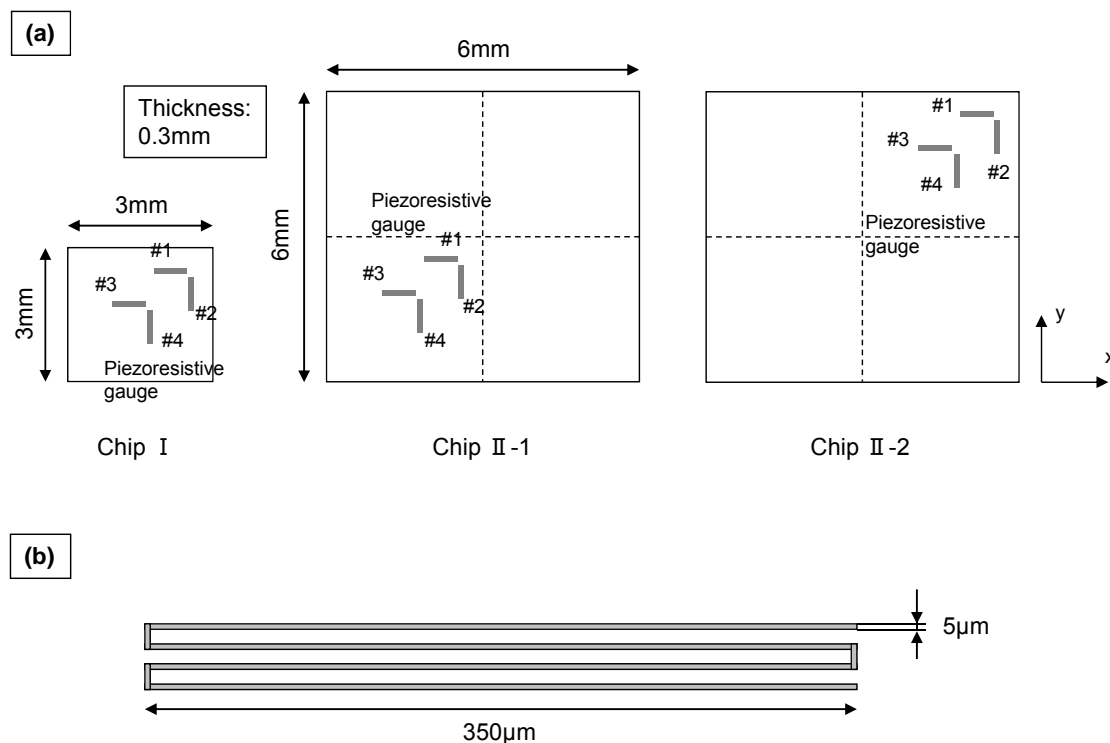


Fig. 2.3 Test chips for residual stress measurement. (a) Configuration of gauges on a test chip, (b) Shape of a piezoresistive gauge.

2.3.2 測定方法

式(2.1)は、最も簡略化された1軸応力と応力に起因する抵抗変化率の関係、すなわちピエゾ効果の関係を示しており、応力値があまり大きくない領域では抵抗値の変化率が応力に比例することが知られている[8]。

$$\frac{R - R_0}{R_0} = S \times \sigma \quad (2.1)$$

したがって、実装工程前の抵抗値 R_0 および実装工程後の抵抗値 R を測定することで、実装工程によってチップ表面に生じる残留応力を算出することができる。式中で、 σ は(1軸)応力、 S は応力感度を表す。今回使用したテストチップのピエゾ抵抗効果に関するデータはテストチップ購入時に与えられており[4]、このデータのうち、応力に対して抵抗変化率(応力ゼロを基準にして無次元化)をプロットした結果を図2.4(a)に示

す．本研究では，この図 2.4(a)に示す値を最小二乗法により近似した直線の傾きから応力感度 S の値を得た．なお，この応力感度 S の測定温度は 30°C である．また，応力感度 S および抵抗値変化の温度依存性を図 2.4(b)および(c)にそれぞれ示す．図 2.4(c)の縦軸は， 30°C の抵抗値を基準にして無次元化してある．応力感度 S の場合と同様に，図 2.4(b)および(c)に示す値を最小二乗法により直線近似した傾きより，応力感度の温度依存性を表すパラメータ α ，およびpiezo抵抗の温度依存性を表すパラメータ β を定めた． S ， α および β の値を表 2.3 にまとめて示す．本研究では， α および β で表されるpiezo抵抗特性の温度依存性を考慮するため，次式(2.2)を用いて応力値 σ を算出した．

$$\frac{R_{(T)} - R_{0(T_0)}}{R_{0(T_0)}} = \beta(T - T_0) + (1 - \alpha(T - T_0))(S \times \sigma_{(T)}) \quad (2.2)$$

ここで， T_0 および T はそれぞれ R_0 および R 測定時の温度である．

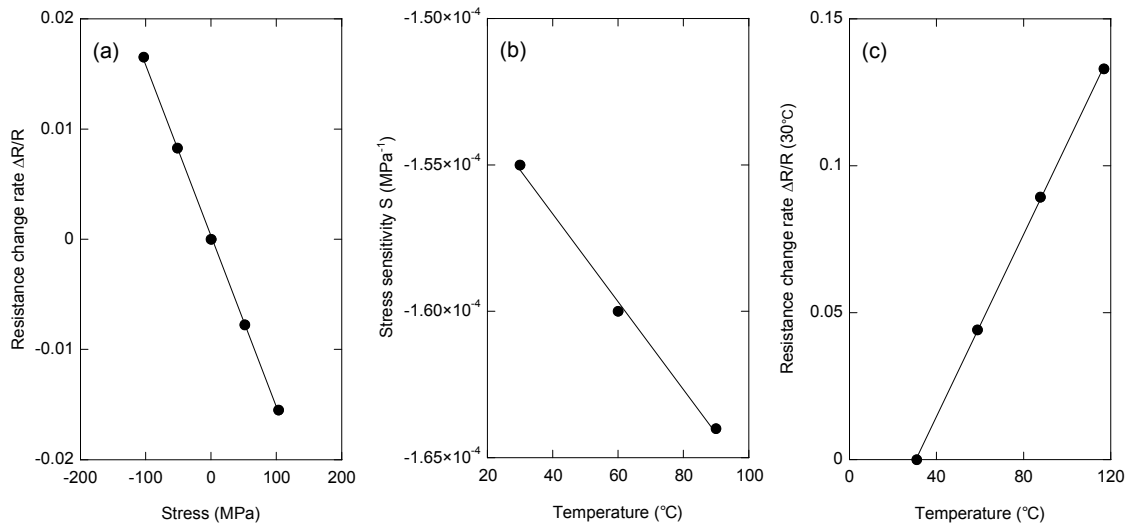


Fig. 2.4 Mechanical and thermal characteristics of piezoresistive gauges [4].

- (a) Stress sensitivity, (b) Temperature dependence of stress sensitivity,
 (c) Temperature dependence of resistivity.

Table 2.3 Calibration parameters of a piezoresistive gauge.

S : Stress sensibility	$-1.55 \times 10^{-4} / \text{MPa}$
α : Thermal dependence coefficient of stress sensibility	$-1.50 \times 10^{-7} / ^\circ\text{C}$
β : Thermal dependence coefficient of piezoresistance	$1.55 \times 10^{-3} / ^\circ\text{C}$

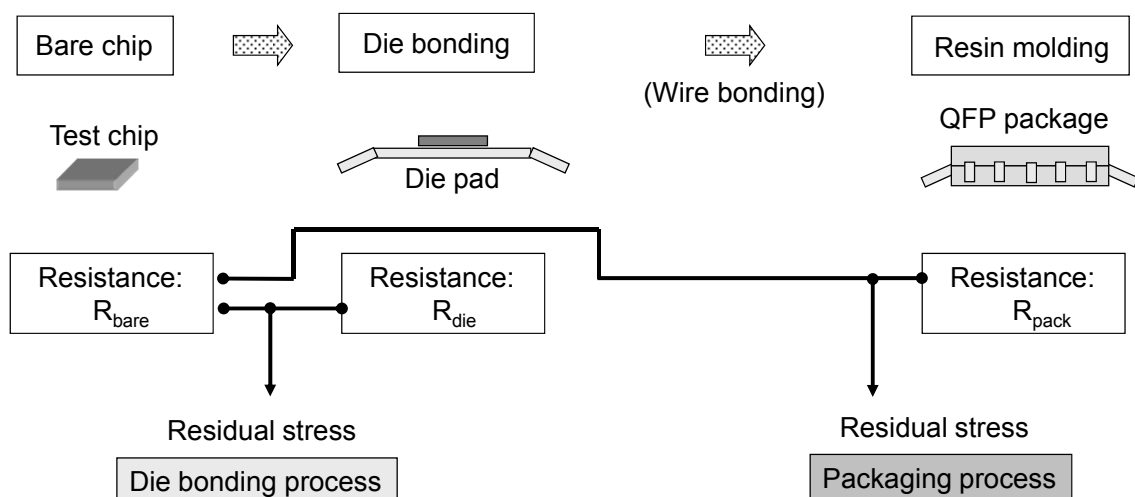


Fig. 2.5 Procedure of residual stress measurement.

図 2.5 に残留応力測定の手順を示す．テストチップがベアチップの状態の抵抗値を R_{bare} ，ダイボンディング後の抵抗値を R_{die} ，ワイヤボンディングおよび樹脂封止後の抵抗値を R_{pack} とする． R_{bare} から R_{die} への抵抗値変化よりダイボンディングにより生じた残留応力が， R_{bare} から R_{pack} への抵抗値変化より最終的にパッケージングプロセスによって生じた残留応力が，それぞれ式(2.2)を用いて算出できる．本研究ではまず R_{bare} を

測定し、その後ダイボンディングして R_{die} を測定した。この R_{bare} および R_{die} の測定は、テストチップの電極にプローブを直接接続して行ない、その際の温度はテストチップ近傍に配置した熱電対により測定した。 R_{die} 測定後、ワイヤボンディングおよび樹脂封止を行ってテストチップが実装された QFP 試験片を作製し、 R_{pack} の測定を行った。 R_{pack} 測定時の温度は、QFP 試験片に耐熱絶縁テープで接着した熱電対により計測した。 R_{bare} および R_{die} の測定は光による抵抗値の変化を避けるため遮光用のシールドボックス内で行い、 R_{pack} の測定は遮光した加熱用オーブンの中で実施した。いずれの場合も温度雰囲気が一定になるように、試験片を設置した後十分に時間を置いてから測定を行った。

2.3.3 測定結果

残留応力を測定した結果を、図 2.6 (a), (b)および(c)にまとめて示す。図 2.6 (a), (b)および(c)は、それぞれ Chip I -Resin A, Chip I -Resin B および Chip II -Resin A についてベアチップ状態での初期応力をゼロと仮定し、ダイボンディング後（ポストキュア後）の残留応力と樹脂封止後（ポストキュア後）の残留応力測定結果を示している。ここで、Chip I -Resin A は前述の Chip I のテストチップを Resin A の樹脂で封止して作製した試験片である。Chip I -Resin B, Chip II -Resin A も同様にチップタイプと樹脂タイプの組み合わせを示す。Chip I では、図 2.3 (a)における Gauge #1 と#2 の平均をチップ端付近の値として、Gauge #3 と#4 の平均をチップ中心付近の値としてそれぞれ示している。Chip II については、Chip II -1 の Gauge #1 と#2 の平均をチップ中心付近の値として、Chip II -2 の Gauge #1 と#2 の平均をチップ端付近の値としてそれぞれ示している。

今回作製した QFP では、Resin A を使用したもので約 80MPa, Resin B を使用したもので約 160MPa の圧縮残留応力がチップ表面上に生じることがわかった。また、ダイボンディングにより発生する残留応力はいずれも数 MPa 程度であり、樹脂封止後に生じる残留応力に比較して非常に小さいことがわかった。

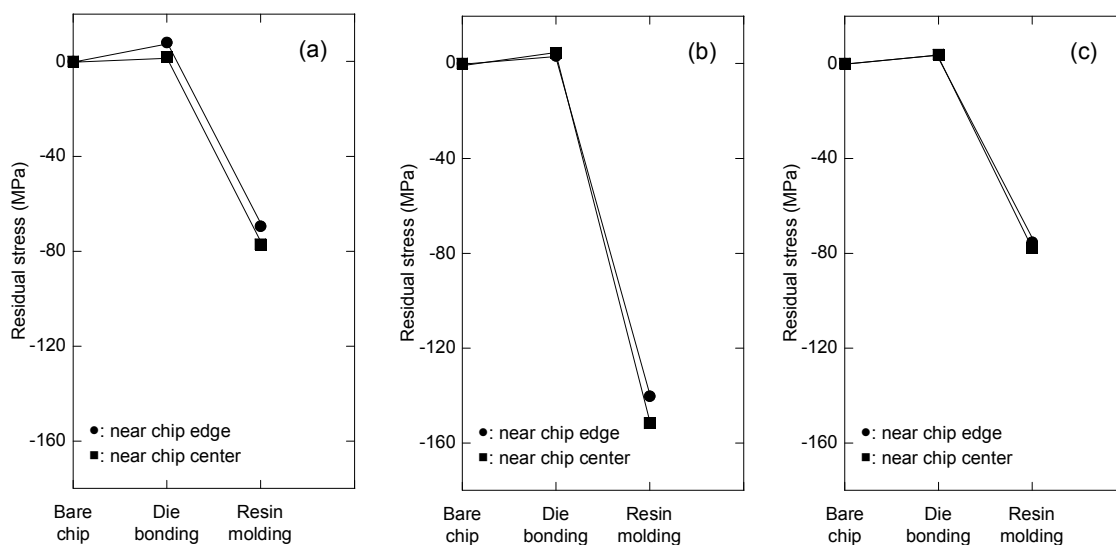


Fig. 2.6 Experimental results of residual stress after die bonding and resin molding. (a) Chip I - Resin A, (b) Chip I - Resin B, (c) Chip II - Resin A.

2.3.4 残留応力の温度依存性と応力フリー温度

電子パッケージの樹脂封止工程で生じる残留応力を線形解析で評価する場合、解析の基準となる応力ゼロの温度を樹脂のモールド温度やポストキュア温度に設定した解析[9-11]が行われることが多いが、樹脂のガラス転移点(T_g)付近以上の温度では粘弾性や塑性あるいはクリープによる残留応力の緩和が生じていることが考えられ、これらの温度を基準とした線形熱弾性解析では室温での残留応力を過大に評価してしまう危険性がある。そこで本研究では、以下で述べるテストチップによる実測から定義される応力フリー温度[12]を解析の基準温度とする線形解析を行った。したがって、まず応力フリー温度を決定するために、QFP実装後の試験片を用いて残留応力の温度依存性を計測した。

今回用いたQFPでは、前項で示したようにダイボンディングにより発生する残留応力が小さいことから、ダイボンディング後の樹脂封止工程で発生する残留応力を評価した。これには、式(2.2)で応力を算出する際にピエゾ抵抗の温度依存性を表すパラメータ β としてダイボンディングされた状態で測定された値を用いることにより、算出される

応力値が樹脂封止工程（ダイボンディング後）で発生する残留応力値となる．このパラメータを β_m として，QFP の封止樹脂を発煙硝酸により除去した試験片を用いて計測した．結果を図 2.7 に示す．縦軸は室温での抵抗値を基準として無次元化した抵抗変化率である．測定値を最小二乗法により直線近似した傾きより， β_m の値として $1.65 \times 10^{-3} / ^\circ\text{C}$ を得た．以下に示す残留応力の温度依存性における応力値および 2.4 節に示す解析結果との比較に用いた応力値はこの β_m を用いて算出しており，樹脂封止工程で発生する残留応力を表している．また，以上のようにして計測した残留応力の温度依存性より決定される応力フリー温度を用いた解析では，計測結果と同様に樹脂封止工程で発生する残留応力を評価していることになる．

残留応力の温度依存性の測定は，Chip I -Resin A，Chip I -Resin B および Chip II -1-Resin A の試験片についてそれぞれ実施した．試験片の温度を加熱用オーブンの中で均一，一定に保ち，各温度での抵抗値を測定した．温度測定については 2.3.2 項で述べた通りである．Chip I -Resin A および Chip I -Resin B の試験片については Gauge #4 で，Chip II -1-Resin A では Gauge #2 を用いて各温度での抵抗値を測定した．これにより得られた応力値を温度に対してプロットした結果を Chip I -Resin A，Chip I -Resin B および Chip II -1-Resin A について図 2.8 (a)，(b) および (c) にそれぞれ示す．応力フリー温度は，得られた測定点を最小二乗法により直線で外挿して，応力値がゼロとなる温度と定めた．その結果，Chip I -Resin A では 116°C ，Chip I -Resin B では 117°C ，また Chip II -1-Resin A では 113°C をそれぞれ応力フリー温度として決定し，2.4 節で述べる有限要素法線形熱弾性解析の解析基準温度とした．

得られた応力フリー温度は，線膨張係数が 2.5 倍程度異なる 2 つの封止樹脂タイプ (Resin A および Resin B) 間での差異は見られず，図 2.2(a) および (b) の結果から得られる封止樹脂の T_g (120°C 程度) と比較すると少し低い温度になることがわかった．図 2.8 (a)，(b) および (c) の結果は応力フリー温度以下で残留応力が直線的に変化しており，この温度領域では，封止樹脂，さらにチップ表面の残留応力に影響を及ぼすその他の QFP 構成材料がほぼ線形弾性体として取り扱えることを示している．このことは，本研究で用いた応力フリー温度を基準とした線形解析モデルが妥当であることを示唆している．換言すれば，応力フリー温度よりかなり高温である封止樹脂のモールド温度 (175°C) やポストキュア温度 (180°C) を線形解析の基準である応力ゼロ温度とした場合，室温での残留応力を過大に評価してしまうことがわかる．

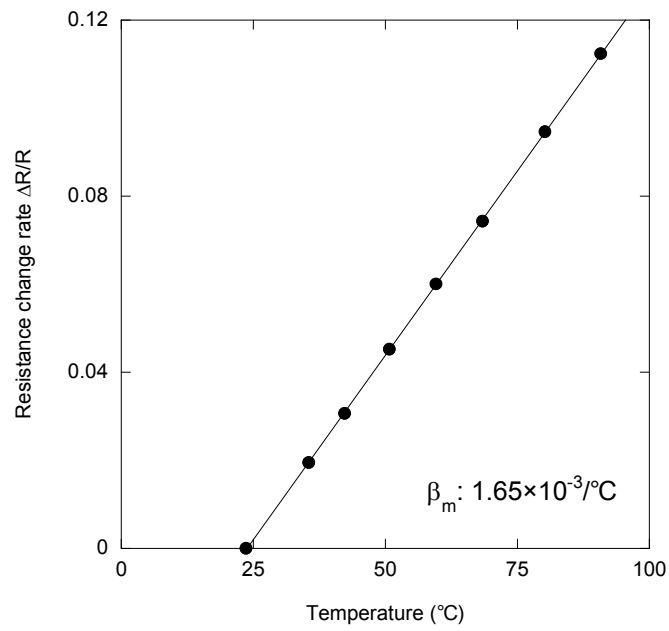


Fig. 2.7 Temperature dependence of a gauge resistance.

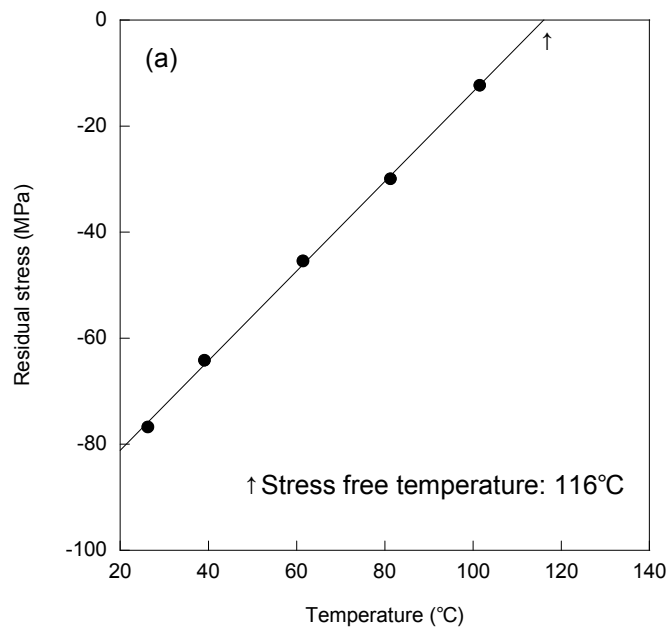


Fig. 2.8 Temperature dependence of residual stress. (a) Chip I - Resin A.

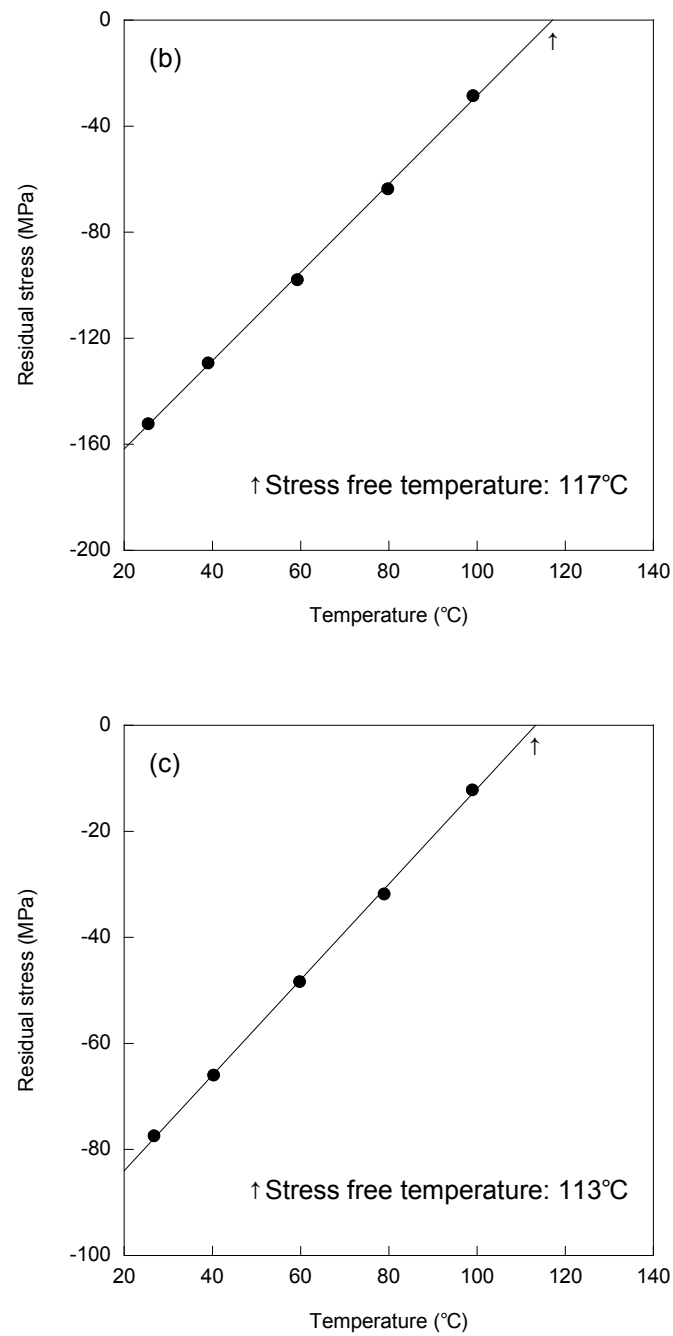


Fig. 2.8 Temperature dependence of residual stress. (b) Chip I - Resin B, (c) Chip II - Resin A.

2.4 応力フリー温度を基準とした線形熱弾性解析

2.4.1 有限要素法解析モデル

図 2.9 (a)に、QFP の有限要素法解析モデルおよび解析の境界条件を示す。回路が形成されている半導体チップ表面上の残留応力分布が評価できるように、3 次元の解析モデルを作成した。モデルの作成には、3 次元 CAD である I-DEAS™を用い、パッケージ形状の対称性から 4 分の 1 モデルを作成して対称の境界条件を施した。ここでは、Si チップ、封止樹脂、ダイパッドおよび Si チップとダイパッドの接着層である導電性ペーストのみをモデル化した。これは、解析規模や時間を極力少なくすることが目的である。Si チップ表面上の残留応力は Si チップおよび封止樹脂の線膨張係数差によりその大部分が生じると考えられることから、この Si チップ表面上の残留応力発生にあまり寄与しないと考えられるリードフレーム形状の詳細やボンディングワイヤはモデルから省略した。有限要素分割図を Chip I の場合を例にとり図 2.9 (b)に示す。Si チップおよび Si チップとダイパッドの接着層は 6 面体 2 次要素を用い、それ以外は 4 面体 2 次要素で要素分割を行った。図 2.9 (b)に示す Chip I のモデルの場合、総要素数 17572、総節点数 31731 である。入力データとして解析に用いた構成材料の材料定数値は、2.2.2 項で示したとおりである。2.3.4 項で決定した応力フリー温度を解析の基準温度とし、モデル全体をゲージ抵抗値 R_{pack} の測定温度である 25℃に降下させた。解析ソルバーには、商用有限要素法コードの ANSYS™を用いた。

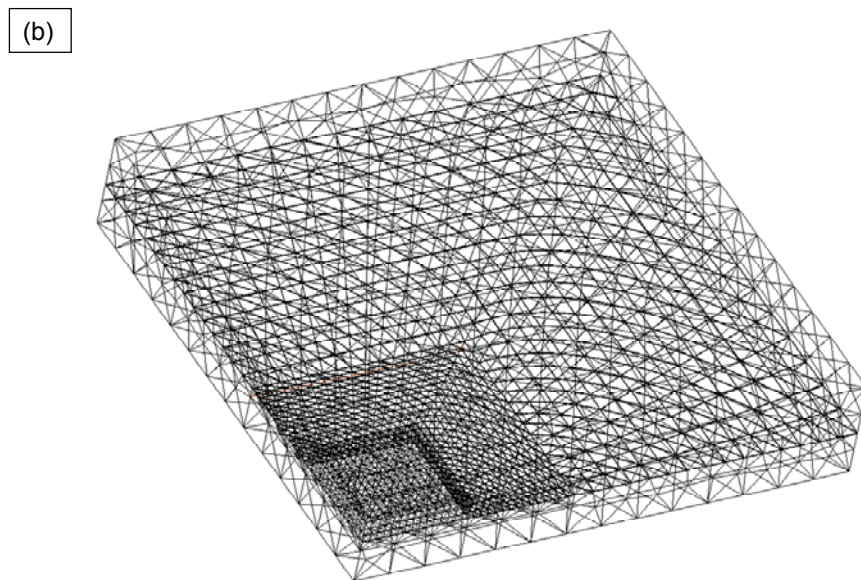
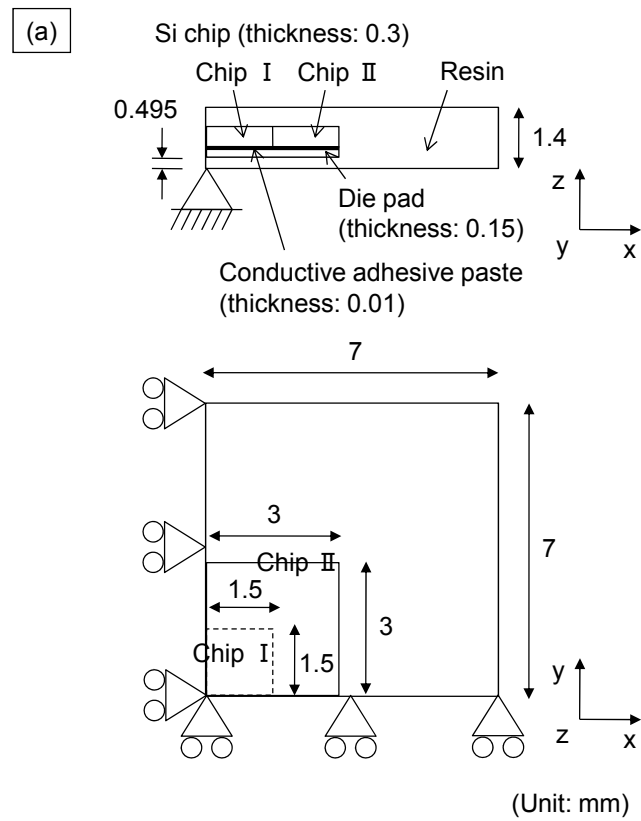


Fig. 2.9 Analysis model of QFP. (a) Boundary conditions, (b) Finite element model (Chip I).

2.4.2 評価結果および考察

Chip I-Resin A, Chip I-Resin B および Chip II-Resin A について、テストチップを用いて計測した実験結果と、有限要素法解析の結果の比較をそれぞれ図 2.10(a), (b)および(c)に示す。解析結果の数値および応力分布図は、実験結果との比較のために垂直応力 σ_x を示している。いずれの図も回路が形成されるチップ表面上の4分の1の領域を表しており、図中の矩形枠がピエゾ抵抗ゲージの位置およびチップに対する相対的な長手方向の大きさを表している。実験結果として示している値は、それぞれのチップの Gauge #1 と#2, または Gauge #3 と#4 の平均の応力値を用いた。また、Chip II-Resin A については、Chip II-1 と Chip II-2 の実験結果を同時に示している。実験値との比較に用いた解析値は、各ゲージの中心に位置する節点での値を使用した。

Chip I では実験値と解析値が比較的近いが、Chip II ではその差が大きくなる傾向が見られた。本研究で用いた解析モデルでは、リードフレーム形状の詳細（足の部分）を省略している。このリードフレーム材は、線膨張係数が封止樹脂のそれと比較して小さく、樹脂封止に伴うチップ表面の圧縮の残留応力を軽減する役割を果たすことが考えられる[13]。本研究で用いた QFP 試験片は、リードフレームの形状は同じであるがチップ形状が Chip I (3mm×3mm)と Chip II (6mm×6mm)で異なり、チップ形状が大きな Chip II の方が解析モデルでは省略したリードフレーム形状の詳細部分に近い。このため、この省略した形状が Chip II 表面の残留応力に及ぼす影響は Chip I の場合に比較してより大きいと考えられる。図 2.10(a)と(c)の比較において、Chip II の(c)の結果の方が解析値と実験値の差が大きいのは、この省略したリードフレーム形状の影響をより大きく受けたためと推測される。

図 2.10(a), (b)および(c)の結果から、実験結果と解析結果は実用上十分と思われる誤差約 20%の範囲で一致している。本研究の手法で得られる残留応力の予測結果は、樹脂封止時の残留応力に起因したデバイス特性変動の評価を念頭に置いており、厳密な応力値の評価が必要なチップ角部等の応力特異場からの機械的不良の発生評価等に用いるものではない。文献[14-18]によれば、100MPa の残留応力により MOSFET の特性（ドレイン電流や相互コンダクタンス）が数%～十数%変動する可能性があることが示されているが、これに対して本手法の精度で有用な設計・製造時の指針が得られるものとする。

樹脂封止型電子パッケージ内の半導体チップ表面に生じる残留応力は、パッケージ構成材料やパッケージの構造で大きく異なることが報告されており、封止樹脂による圧縮応力やパッケージ構造に起因した曲げ応力等が残留応力発生の影響因子となる[9,18,19]. したがって、本章で示した応力フリー温度もパッケージの構成材料や構造ごとに実験で計測する必要があるが、樹脂の粘弾性を考慮した高度で手間のかかる解析を実施する必要がない。線形解析では応力ゼロの基準温度を設定しなければならないが、樹脂の粘弾性特性に関係なく基準温度を樹脂の封止温度等として線形解析を行った場合、樹脂の種類によっては室温での残留応力を過大に評価してしまう可能性がある。またその際、実施した線形解析近似が実際の残留応力の挙動からどの程度逸脱しているかの判断も難しい。本章で示した手法では、残留応力の温度依存性の実測結果から応力ゼロの基準温度(応力フリー温度)を決定するため、樹脂の粘弾性特性の違いが考慮され、また同時に、実測結果との比較から線形解析による近似が妥当なものであるかどうか判断できる。

以上の結果および考察から、本章で示した手法は、半導体チップ表面上の残留応力を評価する必要がある実装メーカーや回路設計メーカーが用いる簡易評価手法として有用であると考えられる。

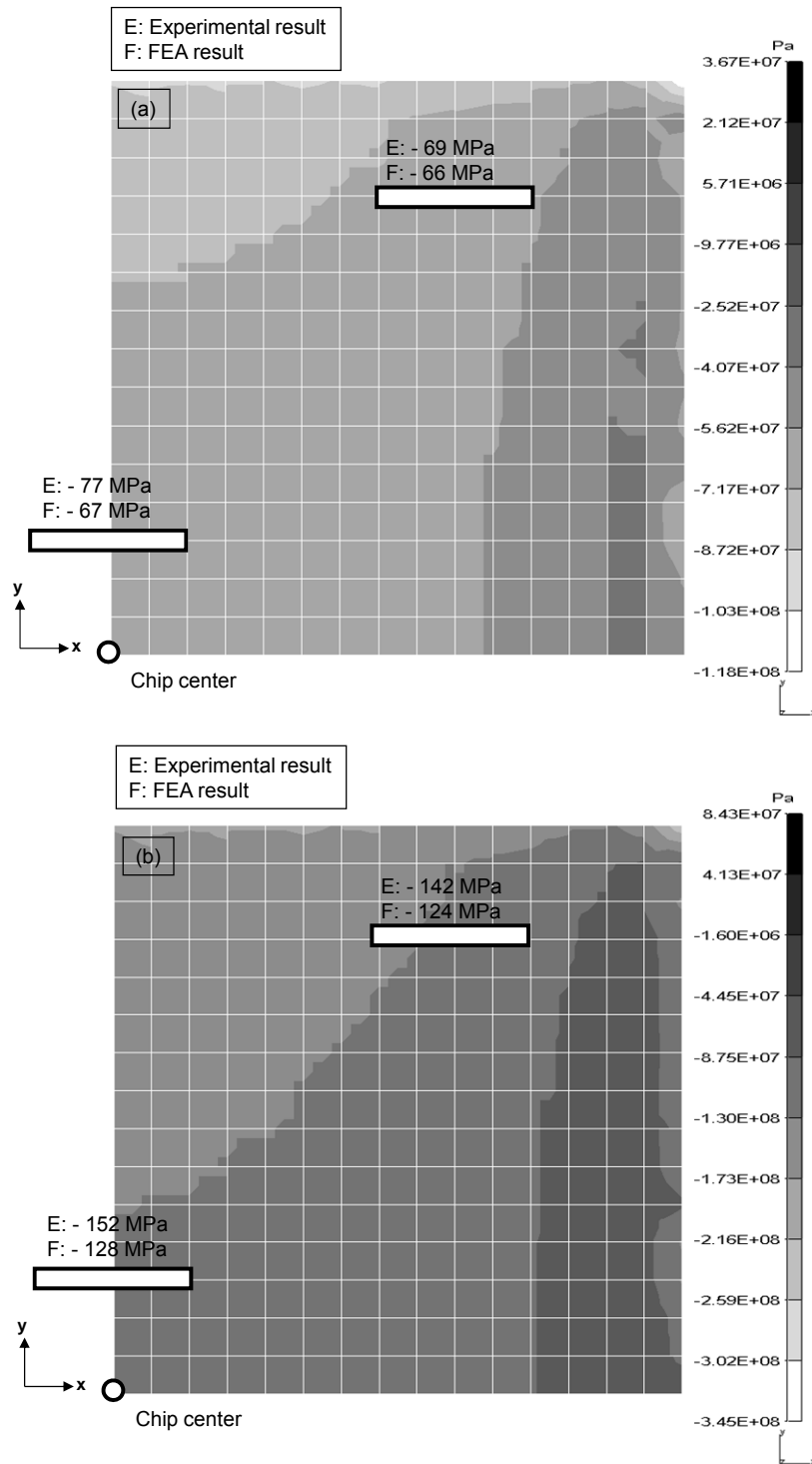


Fig. 2.10 Experimental and finite element analytical results of residual stress σ_x in Si chips. (a) Chip I - Resin A, (b) Chip I - Resin B.

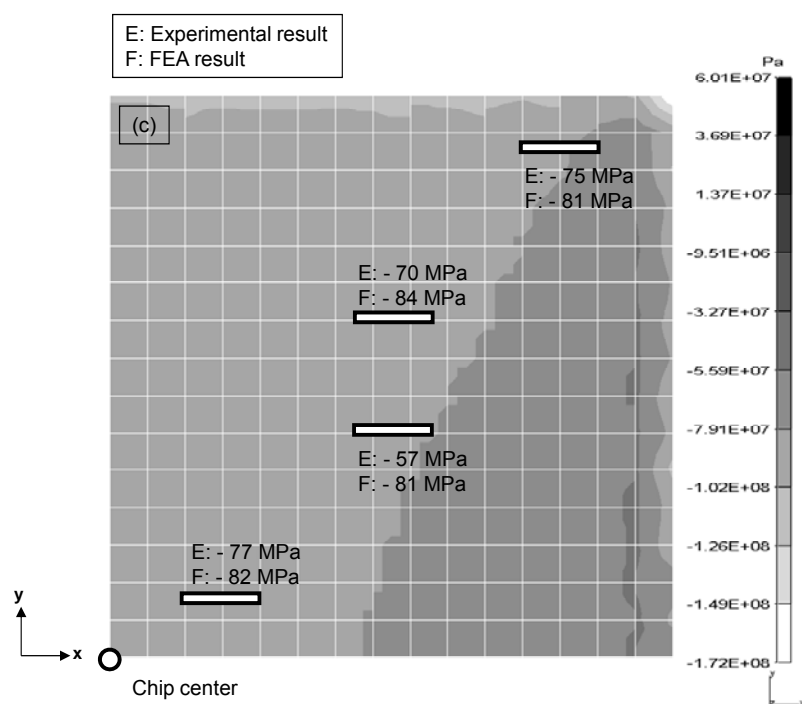


Fig. 2.10 Experimental and finite element analytical results of residual stress σ_x in Si chip. (c) Chip II - Resin A.

2.5 結言

本章では，樹脂封止工程において半導体（Si）チップ表面上に生じる残留応力を，ピエゾ抵抗ゲージを利用したテストチップと有限要素法線形熱弾性解析を用いて評価する手法を示した．本手法の特徴を以下に要約する．

- (1) 解析結果に最も影響を及ぼすと考えられる樹脂の材料特性を実測する．
- (2) 封止樹脂を線形弾性体と仮定し，樹脂の粘弾性材料特性や硬化収縮過程を取り扱わない簡便なモデル（線型モデル）を用いることができる．
- (3) 線形熱弾性解析における応力ゼロの基準温度（応力フリー温度）を，残留応力の温度依存性実測結果から決定する．

本手法を用いた解析結果とテストチップによる実測結果を比較検証したところ，実測される結果を 10~20MPa（相対誤差約 20%以内）で評価することができた．

以上により，本章で示した手法は，評価に十分なコストをかけられない実際の設計・製造現場で有用な手法と考えられ，残留応力に起因したデバイス特性変動を評価する際に必要な半導体チップ表面上の応力分布評価に用いることができる．

第2章の参考文献

- [1] 三浦英生, 西村朝雄, 河合末男, 西 邦彦, “IC プラスチックパッケージ内応力測定素子の開発とその応用”, 日本機械学会論文集, A 編, Vol.53. No.493, pp.1826-1832, 1987.
- [2] R.C. Jaeger, J.C. Suhling, R. Ramani, A.T. Bradley and J. Xu, “CMOS stress sensors on (100) silicon”, IEEE Journal of Solid-State Circuits, Vol.35, No.1, pp.85-95, 2000.
- [3] J.C. Suhling and R.C. Jaeger, “Silicon piezoresistive stress sensors and their application in electronic packaging”, IEEE Sensors Journal, Vol.1, No.1, pp.14-30, 2001.
- [4] 株式会社日立超 LSI システムズ, “技術資料”, 2004.
- [5] 佐々木康二, 斉藤直人, 天城滋夫, 原口芳広, “樹脂モールド時残留応力の数値解析 (第1報, 硬化後冷却時に発生する応力と変形の粘弾性解析)”, 日本機械学会論文集, A 編, Vol.64, No.622, pp.1660-1666, 1998.
- [6] 三宅清, “BGA パッケージの硬化収縮を考慮した反り粘弾性解析”, エレクトロニクス実装学会誌, Vol.7, No.1, pp.54-61, 2004.
- [7] J.J. Wortman and R.A. Evans, “Young’s modulus, shear modulus, and Poisson’s ratio in silicon and germanium”, Journal of Applied Physics, Vol.36, No.1, pp.153-156, 1965.
- [8] C.S. Smith, “Piezoresistance effect in germanium and silicon”, Physical Review, Vol.94, No.1, pp.42-49, 1954.
- [9] 三浦英生, 西村朝雄, 河合末男, 西 邦彦, “IC プラスチックパッケージ内シリコンチップ残留応力の検討”, 日本機械学会論文集, A 編, Vol.55, No.516, pp.1763-1770, 1989.
- [10] A. Mertol, “Stress analysis and thermal characterization of a high pin count PQFP”, Journal of Electronic Packaging, Vol.114, pp.211-220, 1992.

- [11] D.Y.R. Chong, C.K. Wang, K.C. Fong and P. Lall, “Finite element parametric analysis on fine-pitch BGA (FBGA) packages”, Proceedings of IPACK03, 2003.
- [12] T. Ikeda, W.K. Kim and N. Miyazaki, “Evaluation of the delamination in a flip chip using anisotropic conductive adhesive films under moisture/reflow sensitivity test”, IEEE Transactions on Components and Packaging Technologies, Vol.29, No.3, pp.551-559, 2006.
- [13] 三浦英生, 西村朝雄, “パッケージング応力起因の半導体素子特性変動”, 日本機械学会論文集, A 編, Vol.61, No.589, pp.1957-1964, 1995.
- [14] A. Hamada, T. Furusawa, N. Sato and E. Takeda, “A new aspect of mechanical stress effects in scaled MOS devices”, IEEE Transactions on Electron Devices, Vol.38, No.4, pp.895-900, 1991.
- [15] H. Ali, “Stress-induced parametric shift in plastic packaged devices”, IEEE Transactions on Components, Packaging, and Manufacturing Technology, Vol.20, Part B, No.4, pp.458-462, 1997.
- [16] C.L. Huang, H.R. Soleimani, G.J. Gula, J.W. Sleight, A. Villani, H. Ali and D.A. Antoniadis, “LOCOS-induced stress effects on thin-film SOI devices”, IEEE Transactions on Electron Devices, Vol.44, No.4, pp.646-650, 1997.
- [17] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi and R. Gwoziecki, “Electrical analysis of external mechanical stress effects in short channel MOSFETs on (001) silicon”, Solid-State Electronics, Vol.48, pp.561-566, 2004.
- [18] 三浦英生, 西村朝雄, 河合末男, 村上 元, “IC パッケージ内シリコンチップ残留応力に及ぼすパッケージ構造の影響”, 日本機械学会論文集, A 編, Vol.56, No.522, pp.365-371, 1990.
- [19] 三浦英生, 西村朝雄, 河合末男, 西 邦彦, “IC プラスチックパッケージ内シリコンチップ熱応力の検討”, 日本機械学会論文集, A 編, Vol.57, No.539, pp.1575-1580, 1991.

第 3 章

nMOSFET における DC 特性の 1 軸 応力感度評価

3.1 緒言

第 2 章では, 実際の実装工程で半導体チップ上に比較的大きな残留応力が発生することを示した. この半導体チップ上に生じた残留応力が, 半導体デバイスの電気特性を変動させる. 本章以降では, 応力に対する nMOSFET の電気的な挙動とその評価手法について述べる. これまで, 応力による半導体デバイスの電気的な諸特性の変化およびその評価手法に関する研究が報告されている[1-14]が, 構造やドーピング元素分布等が多種多様である実際の半導体デバイスとそのパッケージの設計に供する汎用的な評価手法を確立するには, さらに詳細なデータの蓄積および特性変動を引き起こす影響因子の分析が必要である.

本章では, 4 点曲げ試験により半導体デバイスに応力を負荷した状態でその電気特性を計測する試験システムを構築し, nMOSFET において 1 軸の引張りまたは圧縮の応力下でのトランジスタ特性の変動を評価することを目的とした. その際, ゲート長さとゲート幅の組み合わせが異なる nMOSFET を用い, 特性変動におけるデバイス形状依存性を評価した. また, 電流方向に対する負荷方向の依存性についても評価した. さらに, nMOSFET の応力感度に影響を及ぼす因子としてその微細構造に起因した応力分布の影響, および寄生抵抗の影響に関して検討を行った. 本章の結果を用い, 第 4 章では実装応力による電気特性変動を評価し, 第 5 章では移動度モデルの妥当性を検証する.

3.2 1軸応力感度測定試験

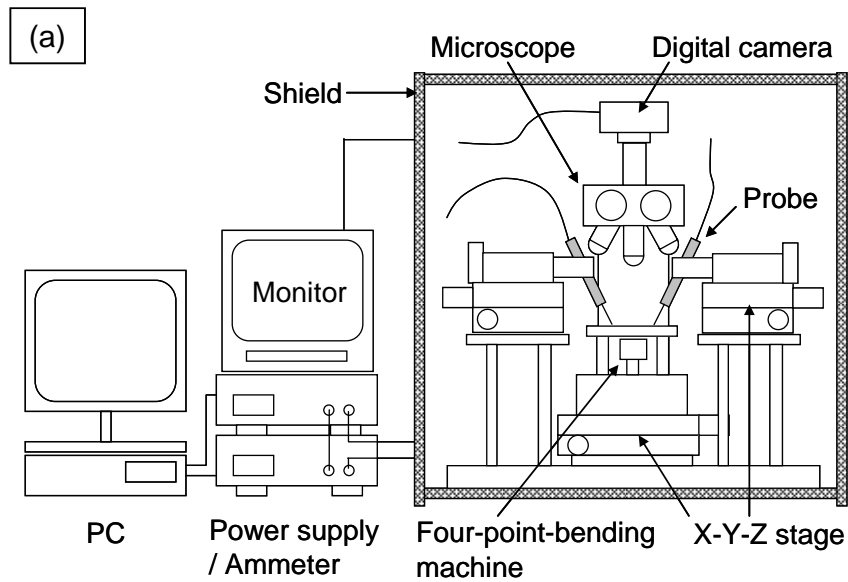
3.2.1 4点曲げ試験システム

本研究では、4点曲げジグにより半導体デバイスに応力を負荷した状態で、その電気特性を測定する試験システムを構築した。試験システムの概略図および写真を図 3.1(a) および(b)にそれぞれ示す。試験システムは、コンピュータ制御式の負荷試験機と4点曲げジグ、半導体デバイスの電極パッドに直接電氣的な接続をするためのプローブ (x-y-z ステージにより位置合わせ可能) とプローブに接続された可変電源・電流計、および電極パッド接続の際に試験片観察に用いる光学顕微鏡 (デジタルカメラで観察) より構成される。また、遮光を目的として、4点曲げ試験機部分はアルミ箔で覆われた領域に設置されている。図 3.2(a)および(b)に4点曲げ負荷ジグ部分の概略図および写真をそれぞれ示す。負荷荷重は、内側支点に取り付けられたロードセルにより検出される。図 3.2(a)に示すように、負荷ジグへの試験片の取り付け方を変えることで、nMOSFET が形成された試験片表面 (プローブで接続可能側) に所定の引張りまたは圧縮の応力を負荷することができる。

3.2.2 試験片

4点曲げ試験システムを用いた応力感度測定試験では、図 3.3(a)に示すような Si ウェハを短冊状 (30mm×5mm×0.63mm) に切り出した試験片を用いた。試験デバイスである nMOSFET は、一様曲げモーメントが作用する4点曲げジグの内側支点間に配置されるように短冊状試験片の長手方向中心部に形成されている。本研究では、ゲート幅: $W(\mu\text{m})$ およびゲート長さ: $L(\mu\text{m})$ が異なる複数の nMOSFET を用いた。試験に用いた nMOSFET の W と L の組み合わせは、 $W/L=24/24, 24/12, 24/6, 24/0.8, 50/50, 12/24, 0.8/0.8$ の7種類である。図 3.3(b)に、nMOSFET 部分を拡大した写真を示す。同一の短冊状試験片上に、7種類の nMOSFET が全て形成されている。これらの nMOSFET は、Si(001)結晶面に電流が流れるソース・ドレインの方向が $\langle 110 \rangle$ 結晶方向になるように形成されている。また、ウェハから試験片を切り出す際に、ソース・ドレイン方向 (つまり電流方向) を試験片長手方向(Longitudinal とする)にとった試験片、

それとは垂直方向(Transverse とする)にとった試験片の 2 種類を作製し, 電流方向に平行または垂直な 1 軸応力を負荷可能にした.



(b)



Fig. 3.1 System for measuring the stress dependence of electronic characteristics of nMOSFETs. (a) Schematic diagram of measuring system, (b) Picture of measuring system.

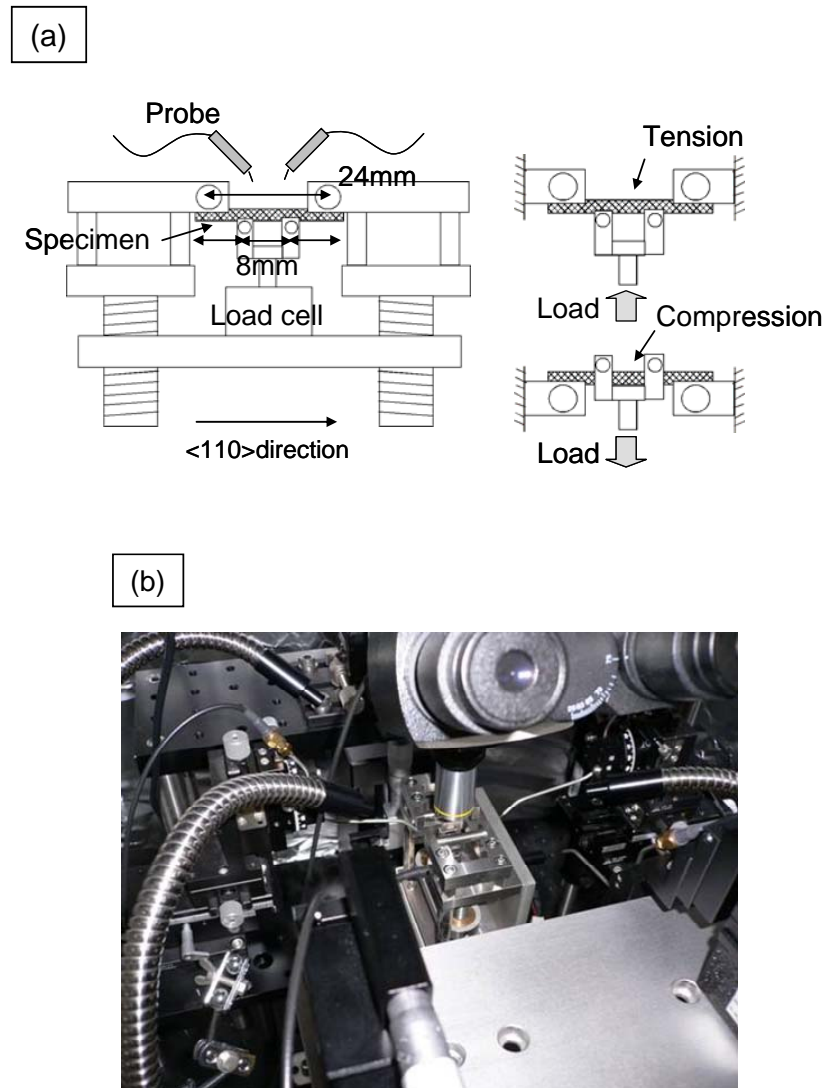


Fig. 3.2 4-point bending fixture. (a) Schematic diagram of fixture, (b) Picture of fixture.

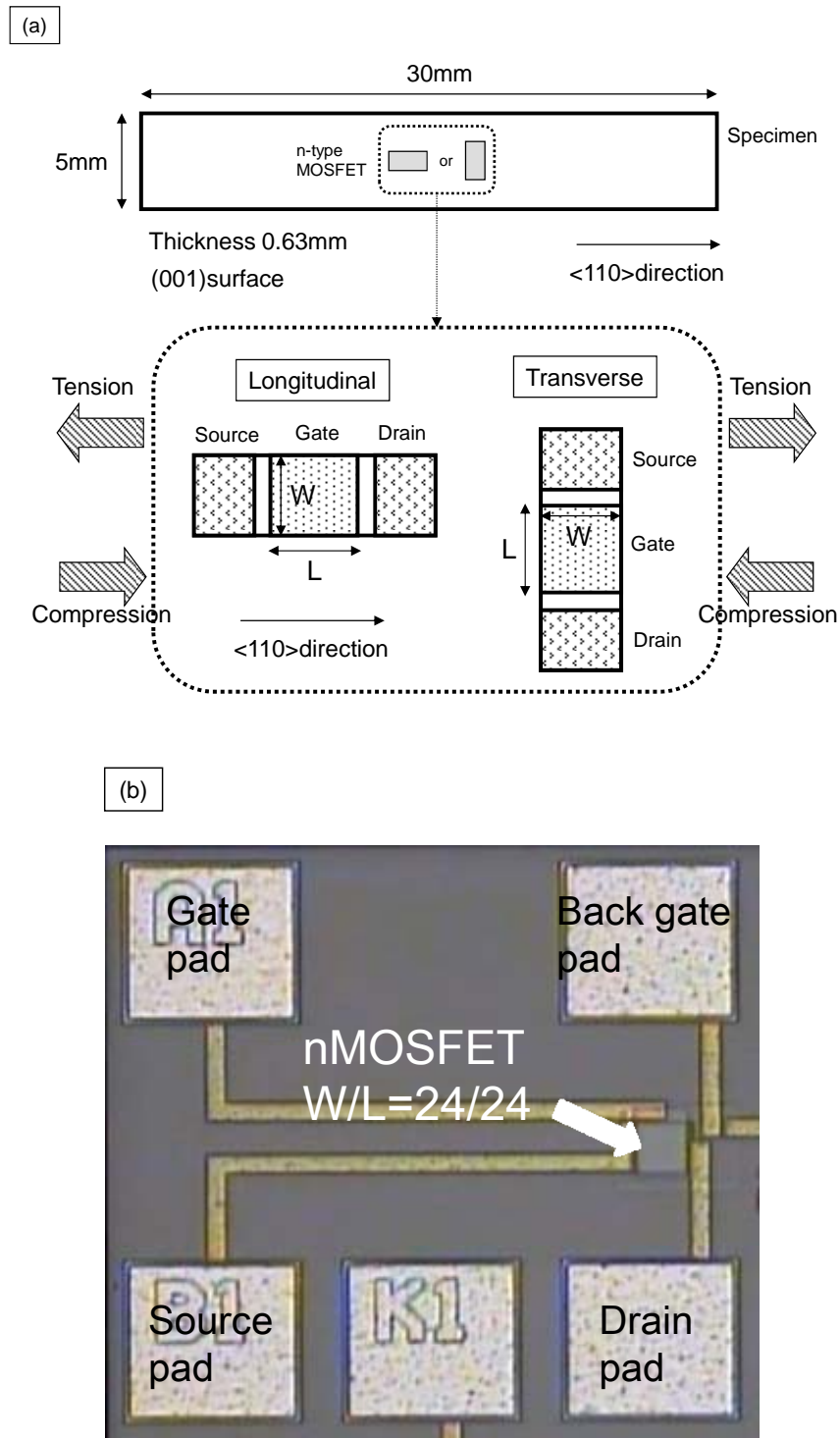


Fig. 3.3 nMOSFET specimens. (a) Schematic configurations of 4-point bending specimens, (b) Enlarged picture of nMOSFET (W/L=24/24).

3.2.3 試験方法

測定の手順は、まず4点曲げ負荷により試験片に所定の荷重を加えた後、nMOSFETの電極パッドにプローブを接触させ、ゲートおよびソース・ドレイン間に所定の電圧を印可して、ソース・ドレイン間の電流を計測した。nMOSFETへの印可電圧として、ソース・ドレイン間の電圧を0.1Vに固定し、ゲート電圧を0Vから5Vまで掃引した。4点曲げ試験では、負荷ジグの内側支点間、試験片表面で試験片長手方向の引張りまたは圧縮の曲げ応力が最大となる。本研究では、はりの曲げ理論で計算される最大曲げ応力をデバイスに負荷される公称応力とし、電気特性変動値に対応させた。すなわちnMOSFETへの公称負荷応力は、0MPa、60MPa（引張りまたは圧縮）または120MPa（引張りまたは圧縮）の5通りである。

3.3 試験結果

3.3.1 ドレイン電流の変化

図3.4(a)(b)に $W/L=24/0.8$ の結果を、図3.4(c)(d)に $W/L=24/24$ の結果を例にとり、ゲート電圧変化に対するドレイン電流変化の測定結果を示す。なお、負荷方向とソース・ドレイン方向（電流方向）が同じ場合(Longitudinal)を図3.4(a)(c)に、垂直の場合(Transverse)を図3.4(b)(d)にそれぞれ示している。今回実験を行ったいずれの試験片形状および負荷方向の場合でも、図3.4(a)~(d)に示す結果同様に、引張り応力でドレイン電流が増加し、圧縮応力でドレイン電流が減少した。また、明確なしきい値電圧の変動は見られなかった。

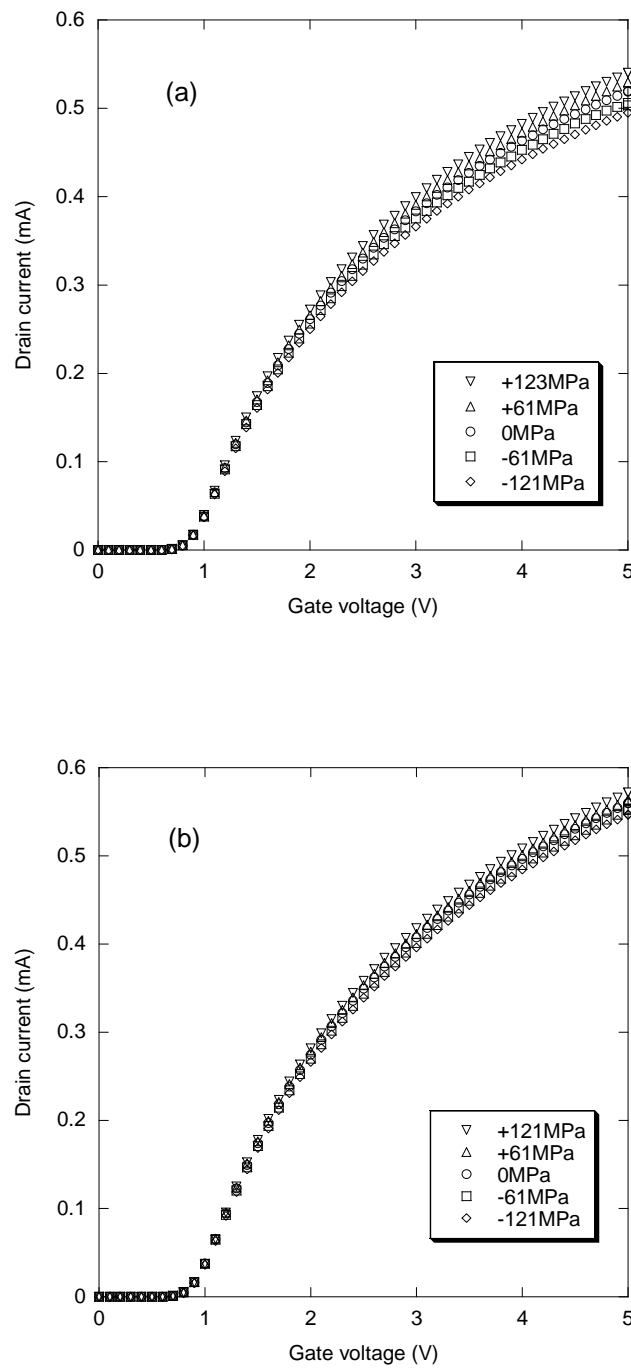


Fig. 3.4 Experimental results of drain current shifts induced by stress.

(a) W/L=24/0.8, Longitudinal, (b) W/L=24/0.8, Transverse.

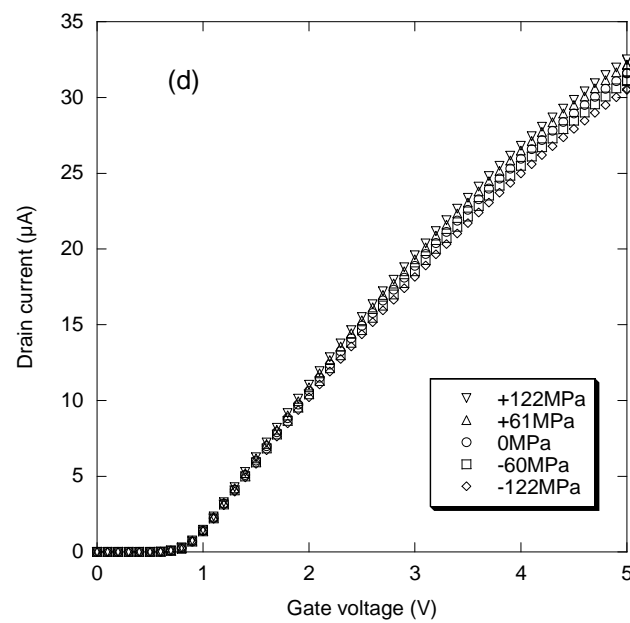
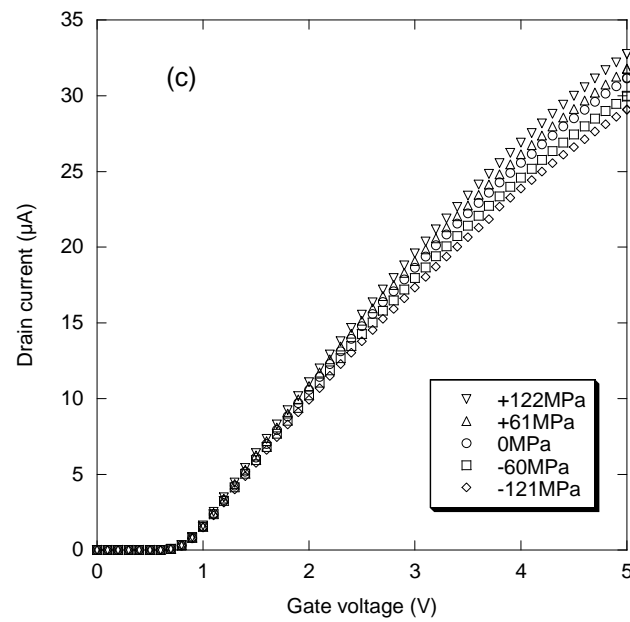


Fig. 3.4 Experimental results of drain current shifts induced by stress.

(c) W/L=24/24, Longitudinal, (d) W/L=24/24, Transverse.

3.3.2 相互コンダクタンスの応力感度

本研究では、重要なトランジスタ特性の1つである増幅率（相互コンダクタンス）の応力感度を評価した。図 3.5(a)(b)に、図 3.4(a)~(d)で示したゲート電圧とドレイン電流の関係から算出される相互コンダクタンス（以下および図中 G_m とする）の変化率(%)を、負荷応力に対して図示する。図 3.5(a)に $W/L=24/0.8$ の結果を、図 3.5(b)に $W/L=24/24$ の結果をそれぞれ示す。本研究では、図 3.4(a)~(d)に示したゲート電圧・ドレイン電流曲線から G_m を求める際、ゲート電圧・ドレイン電流曲線においてゲート電圧が 1~5V の間を二次曲線で最小二乗近似し、この曲線におけるゲート電圧 2V の点での接線の傾きを G_m と定義した。いずれの場合も、 G_m の変化率は負荷応力に対して直線的に変化している。ここで、最小二乗近似により得られる図中の直線の傾きは、 G_m 変化率の応力感度を意味する。この応力感度には負荷方向依存性が見られ、電流方向と負荷方向が平行な場合(Longitudinal)の方が、垂直な場合(Transverse)に比較して大きくなった。以上の傾向は、全ての試験片（形状）で同様であった。図 3.6 には、試験片ゲート長さに対する G_m 変化率の応力感度を図示する。その結果、電流方向と負荷方向が平行な場合(Longitudinal)、ゲート長さが $10\mu\text{m}$ 程度より大きくなると、ゲート幅にかかわらず応力感度がほぼ一定(100MPa で約 5%)となることがわかった。一方、 $10\mu\text{m}$ 以下のゲート長さでは応力感度の減少が見られた。電流方向と負荷方向が垂直な場合(Transverse、ゲート幅は何れも $24\mu\text{m}$)は、ゲート長さ $6\mu\text{m}$ 以上で応力感度がほぼ一定(100MPa で約 3%)、 $0.8\mu\text{m}$ で減少し、電流方向と負荷方向が平行な場合と同様の傾向を示した。この応力による特性変動のゲート長さ依存性（ゲート長さが短くなると応力感度が減少する傾向）については、その影響因子について幾つかの検討がなされている[1,5]。この影響因子の検討は、次節 3.4 で行う。また今回の計測では、ゲート長さ $0.8\mu\text{m}$ においてゲート幅 $24\mu\text{m}$ と $0.8\mu\text{m}$ の間で応力感度が大きく異なる結果が得られた。この結果から、ゲート幅についてもある長さより短くなると応力感度が減少すると推察される。電流方向と負荷方向が平行な場合の応力感度は、垂直な場合に比較して 1.5~2 倍になった。応力感度の電流方向に対する負荷方向依存性は、応力によるキャリア（電子）エネルギーおよび移動度の変化の観点から第 5 章において考察する。

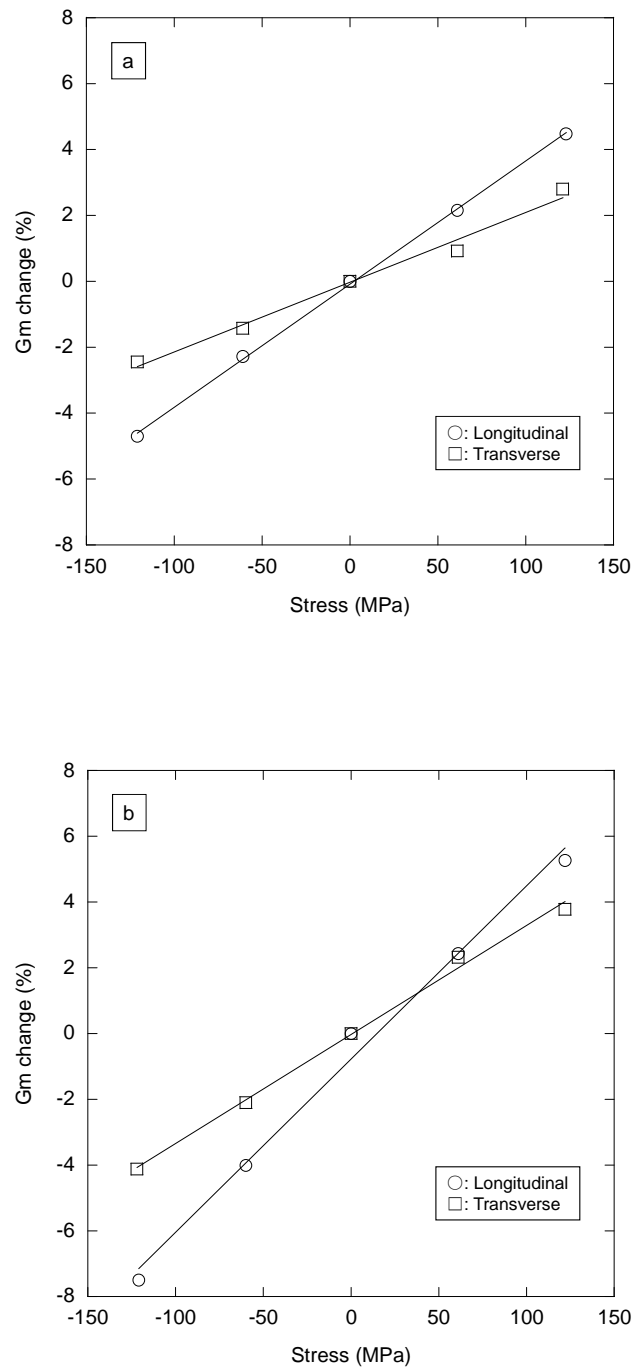


Fig. 3.5 Experimental results of Gm change induced by stress. (a) $W/L=24/0.8$, (b) $W/L=24/24$.

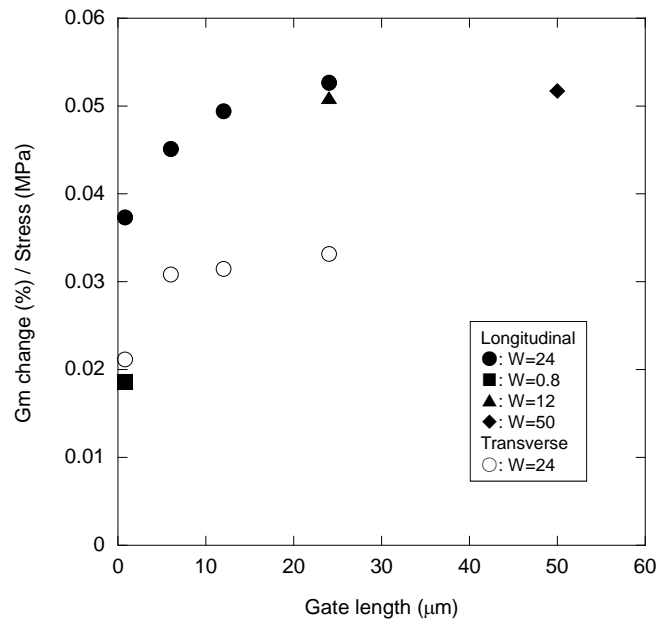


Fig. 3.6 Stress sensitivities of Gm change to gate lengths.

3.4 応力感度における影響因子の評価

3.4.1 nMOSFET の寄生抵抗

前節で示した相互コンダクタンスにおける応力感度のゲート長さ依存性について、デバイスの微細構造に起因したチャネル領域の応力分布の影響[1]やデバイスの寄生抵抗の影響[5]が指摘されている。そこで本研究では、ゲート長さが異なる nMOSFET において、実験で得られたゲート電圧・ドレイン電流関係を用いて寄生抵抗の影響について検討した。その際、ゲート長さのみが異なる 4 種類の nMOSFET ($W/L = 24/24, 24/12, 24/6, 24/0.8$) を用いた。図 3.7 に、これら 4 種類の nMOSFET の断面構造を模式的に示す。これらはゲート長さが異なる以外は全て同じ構造を有しており、すなわち素子分離酸化膜である LOCOS (Local Oxidation of Silicon) エッジからゲートエッジまでの距離も同じで、いずれの nMOSFET においても $1.8\mu\text{m}$ である。

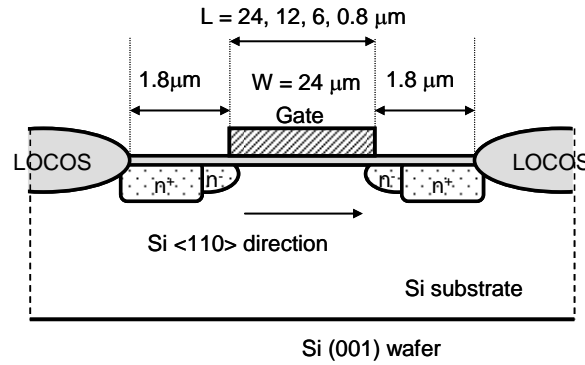


Fig. 3.7 Schematic cross-section of nMOSFETs.

図 3.8 に、無負荷の状態で計測されたゲート電圧・ドレイン電流関係を、上述の 4 種類の nMOSFET についてまとめて示す。今回の測定範囲である線形領域でのこのドレイン電流は、次式(3.1)で与えられる。

$$I_{DS} = \mu C_{ox} \frac{W}{L} \left[V_{GS} - V_T - \frac{V_{DS}}{2} \right] V_{DS} \quad (3.1)$$

I_{DS} はドレイン電流、 V_{GS} 、 V_T 、 V_{DS} はそれぞれゲート電圧、しきい値電圧、ドレイン電圧である。また、 C_{ox} はゲート酸化膜容量であり、 μ は移動度を表す。図 3.8 に示すそれぞれのゲート電圧・ドレイン電流は、前述のとおりゲート長さ (L) のみが異なる nMOSFET を用いて同じ条件下で測定されている。しがたって、式(3.1)の関係を考慮して図 3.8 に示した実験結果に L/W を乗じれば、図 3.9 に示す規格化されたゲート電圧・ドレイン電流関係が得られる。図 3.9 には、しきい値電圧 (いずれの nMOSFET でも約 0.8V) 以上での結果を示している。また図中には、 $W/L = 24/24$ デバイスの結果を最小二乗近似して得られる直線も同時に示す。図 3.9 に示す結果から、 $W/L = 24/24$ デバイスおよび $W/L = 24/12$ デバイスの測定結果はほぼ一致し、近似直線とも良く一致することが分かる。一方、 $W/L = 24/0.8$ デバイスの測定結果は、ゲート電圧 1.5V 付近から直線を大きく逸脱している。この原因は、 $W/L = 24/0.8$ デバイスにおける寄生抵抗の影響が考えられる。そこで本研究では、この $W/L = 24/24$ デバイスと $W/L = 24/0.8$ デバイスでの結果の比較から、以下の方法でデバイスの寄生抵抗を簡易的に評価した。

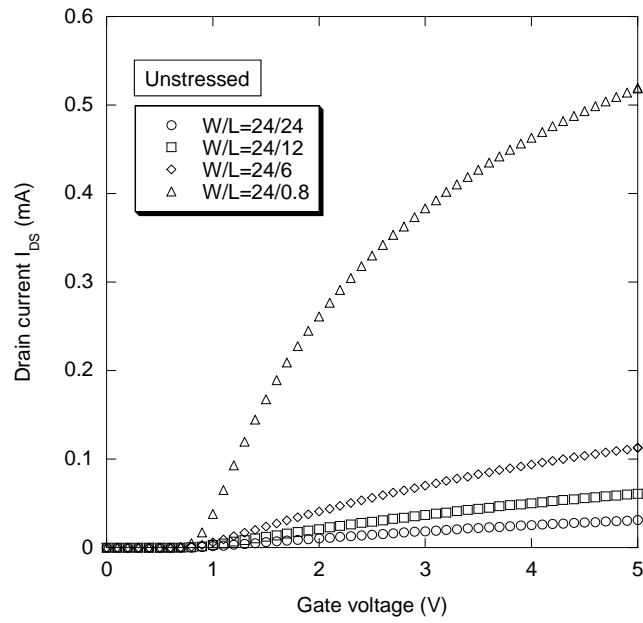


Fig. 3.8 Unstressed drain current curves.

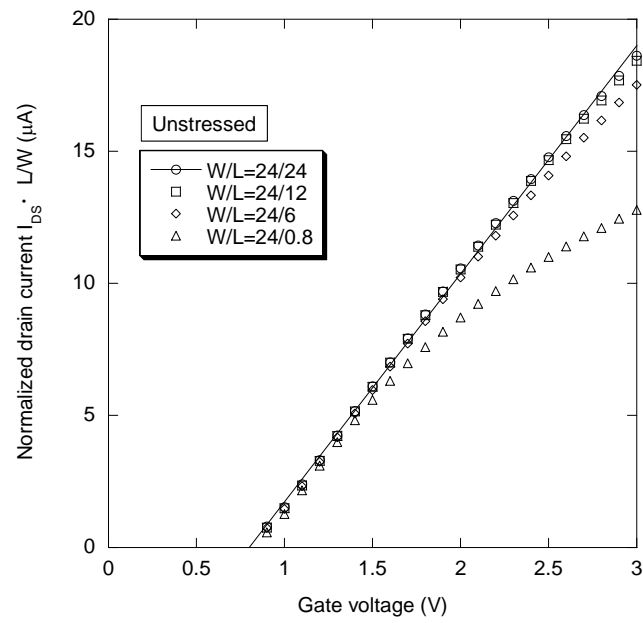


Fig. 3.9 Normalized drain current curves (unstressed).

MOSFETでは、その構造に起因してソースおよびドレイン部分に寄生抵抗が生じ、トランジスタ特性を劣化させることが知られている[15]。本研究で用いた nMOSFET のソースおよびドレイン部分の寄生抵抗をそれぞれ R_S および R_D とすると、寄生抵抗を含んだ nMOSFET の回路図が図 3.10 のように表され、測定されるドレイン電流 $I_{D'S'}$ は、 $R_S + R_D = R_P$ とすれば(3.2)で与えられる[5]。

$$I_{D'S'} = \mu C_{ox} \frac{W}{L} \left[V_{GS'} - V_T - \frac{V_{D'S'}}{2} \right] (V_{D'S'} - I_{D'S'} R_P) \quad (3.2)$$

式(3.1)との比較のために変形して、

$$I_{D'S'} = \mu C_{ox} \frac{W}{L} \left[V_{GS'} - V_T - \frac{V_{D'S'}}{2} \right] V_{D'S'} \left(1 - \frac{I_{D'S'}}{V_{D'S'}} R_P \right) \quad (3.2)'$$

ここで、寄生抵抗を含まない nMOSFET のドレイン電流を I_{D0} とすれば、式(3.1)との比較から次式(3.3)の関係が得られる。

$$I_{D'S'} = I_{D0} \left(1 - \frac{I_{D'S'}}{V_{D'S'}} R_P \right) \quad (3.3)$$

I_{D0} を与える式に書き直せば、

$$I_{D0} = \frac{I_{D'S'}}{1 - \frac{I_{D'S'}}{V_{D'S'}} R_P} \quad (3.3)'$$

となり、実測されるドレイン電流 ($I_{D'S'}$) から、寄生抵抗を含まない nMOSFET のドレイン電流 (I_{D0}) を与える式が得られる。次項では、式(3.3)'を用いて今回の実験結果から nMOSFET の寄生抵抗値を同定し、その影響を評価した。

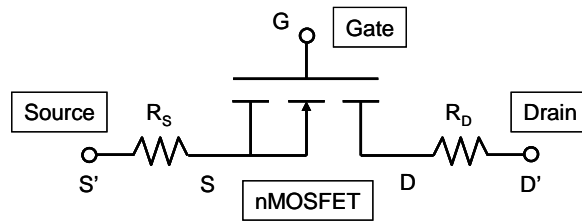


Fig. 3.10 nMOSFET model including parasitic resistance.

3.4.2 寄生抵抗値の評価方法

W/L = 24/24 デバイスでは、図 3.8 および図 3.9 に示したゲート電圧・ドレイン電流測定結果（しきい値電圧以上の領域）より明らかとなっており、ゲート電圧印可に対してドレイン電流が直線的に変化し、かつ、ドレイン電流に対する見かけの抵抗値が比較的大きい。したがって本研究では、W/L = 24/24 デバイスでは寄生抵抗の影響が無視できると見なし、この W/L = 24/24 デバイスと W/L = 24/0.8 デバイスで測定されたドレイン電流を比較することにより、W/L = 24/0.8 デバイスの寄生抵抗値を決定した。具体的には、W/L = 24/0.8 デバイスにおいて寄生抵抗を補正されたドレイン電流が W/L = 24/24 デバイスのドレイン電流と最も良く一致するように、式(3.3)'を用いて W/L = 24/0.8 デバイスの寄生抵抗値を決定した。

式(3.3)'において、 $I_{D'S'}$ は図 3.9 に示される寄生抵抗補正前の実測された規格化ドレイン電流である。本研究では、 R_p の値を変化させて得られる W/L = 24/0.8 デバイスの規格化ドレイン電流 $I_{D0_24/0.8}$ と W/L = 24/24 デバイスの規格化ドレイン電流 $I_{D'S'_24/24}$ との差 δ 、すなわち、

$$\begin{aligned}\delta &= I_{D'S'_24/24} - I_{D0_24/0.8} \\ &= I_{D'S'_24/24} - \frac{I_{D'S'_24/0.8}}{1 - \frac{I_{D'S'_24/0.8}}{V_{D'S'}} R_p} R_p\end{aligned}\tag{3.4}$$

の値（測定ゲート電圧ごとの平均値）が最小になるように R_p の値を決定した。このとき、 $V_{D'S'}$ は計測条件から 0.1V である。また、W/L = 24/24 デバイスのドレイン電流 $I_{D'S'_24/24}$ は、測定結果を最小二乗近似して得られる直線（図 3.9）の値を用いた。図 3.11 に、 R_p の変化に対する δ の平均値の変化を示す。図 3.11 の結果から、 δ の平均値がゼロとなるときの R_p の値、具体的には 75 Ω を W/L = 24/0.8 デバイスの寄生抵抗値とした。

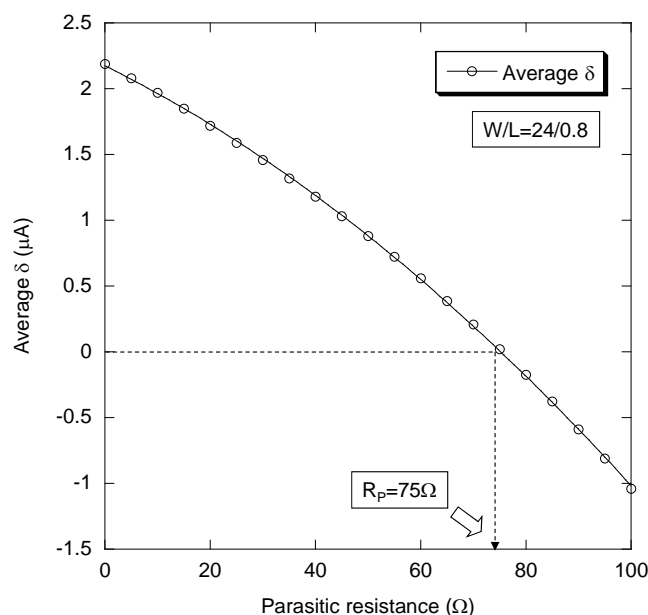


Fig. 3.11 Variation of differential (δ) between drain current of $W/L=24/24$ and drain current of $W/L=24/0.8$ as a function of parasitic resistance (R_p) of $W/L=24/0.8$.

3.4.3 評価結果および考察

図 3.12 に、図 3.9 に示した規格化されたゲート電圧・ドレイン電流関係を寄生抵抗によって補正した結果を示す。図 3.12 の結果では、4 種類の nMOSFET でゲート電圧・ドレイン電流関係が比較的良く一致している。したがって、図 3.9 で示した $W/L = 24/0.8$ デバイスの測定結果における直線からの逸脱は、主に寄生抵抗の影響によるものと考えられる。寄生抵抗の値そのものは小さいが、ゲート長さが短いデバイスに与える影響度は比較的大きいことが分かる。図 3.13 には、寄生抵抗を補正したゲート電圧・ドレイン電流曲線を用いて得られた G_m 変化率の応力感度を、ゲート長さ (L) に対して示す。図 3.13 には、図 3.6 で示した実測される G_m 変化率の応力感度も同時に示している。本節で評価した 4 種類の nMOSFET はゲート長さ以外の構造が同じであるため、ソースおよびドレイン部分の寄生抵抗値はすべての nMOSFET で同じであると見なせ、 $W/L = 24/0.8$ デバイス以外の結果も $W/L = 24/0.8$ デバイスで得られた値 (75Ω) を用いて補正した。また、応力による寄生抵抗値の変化は無視した。図 3.13 の結果は、寄

生抵抗が補正された G_m 変化率の応力感度が、 $W/L = 24/0.8$ デバイスも含めてほぼ一定になることを示している。これは、電流方向と負荷方向が平行な場合 (Longitudinal) も垂直な場合 (Transverse) も同様であった。したがって、本研究で用いた nMOSFET で測定された G_m 変化率の応力感度におけるゲート長さ依存性は、nMOSFET の寄生抵抗の影響が主因であると考えられる。

本節で評価した 4 種類の nMOSFET では、図 3.7 に示したとおり LOCOS エッジからゲートエッジまでの距離が $1.8\mu\text{m}$ でいずれも同じである。一方でゲート長さが大きく異なるため、LOCOS 形成に起因した応力 (分布) が nMOSFET のチャネル部分に及ぼす影響は、4 種類の nMOSFET で異なることが考えられる。これまで、SOI (Silicon on Insulator) の形成[3]や、STI (Shallow Trench Isolation) の形成[8]によって MOSFET の電気特性が変動することが報告されている。しかしながら本研究で用いた nMOSFET では、図 3.12 や図 3.13 に示したとおり、寄生抵抗を補正した無負荷での規格化ドレイン電流および G_m 変化率の応力感度は 4 種類の nMOSFET でほぼ同じと見なせる。したがって、nMOSFET デバイスの形成 (LOCOS 等の素子分離酸化膜だけでなくその他の膜形成プロセスも含む) に起因した応力 (デバイスの真性応力) の影響は、4 種類の nMOSFET で差異が無いと考えられる。ただし、これは必ずしもデバイスの形成にともなう真性応力がゼロであることを意味するものではない。さらに、応力感度に差異がないということは、実装応力等の‘外力’に対する応答にも差異が無いことを意味している。したがって真性応力と同様に、デバイス形成後の外力 (実装応力) が及ぼす影響も、4 種類の nMOSFET で差異が無いと考えられる。すなわち、本節で評価した nMOSFET では、デバイス形成後の特性を変動ゼロの基準とした実装応力による特性変動の評価において、デバイスの微細構造や真性応力の違いを考慮せず、実装時の応力と実装後の特性変動を対応させることができる。

以上、本章で得られた結果は、実装応力に起因する nMOSFET の特性変動評価、応力効果を考慮した電子移動度モデルおよびシミュレーションモデルの検討に有用な基礎データとなる。

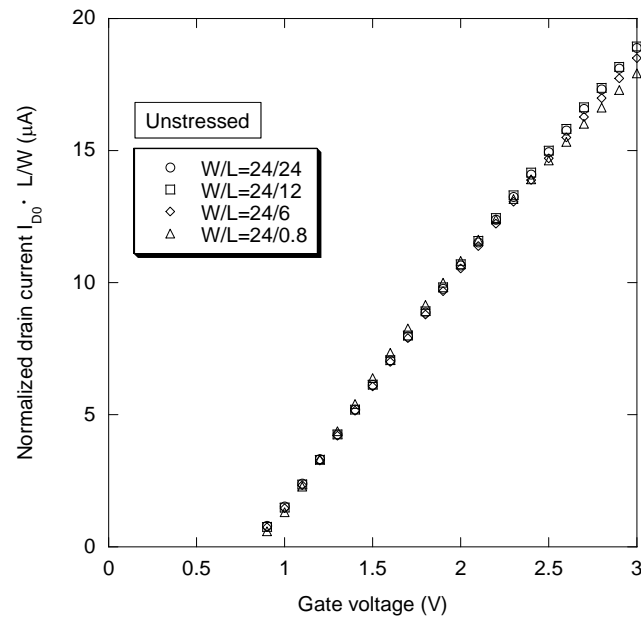


Fig. 3.12 Corrected drain current curves (unstressed).

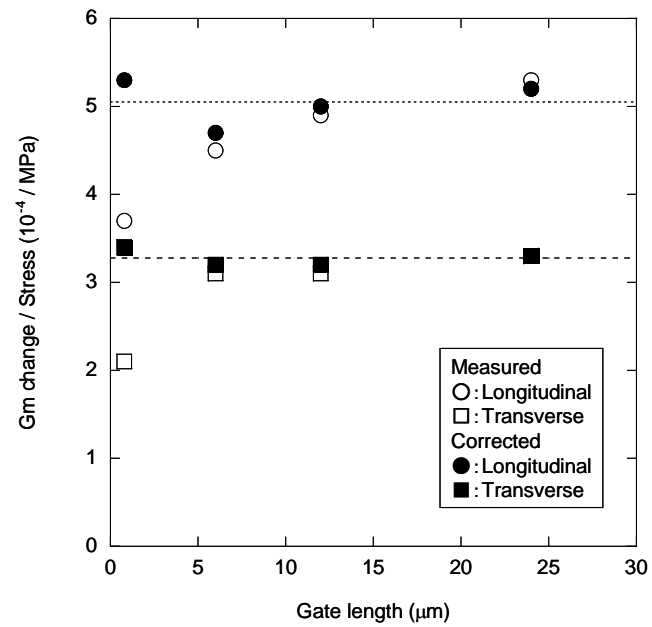


Fig. 3.13 Corrected stress sensitivities of Gm change to gate length.

3.5 結言

本章では、4 点曲げ試験により nMOSFET の応力に起因したトランジスタ特性変動を計測し、特性変動におけるデバイス形状依存性および電流方向に対する負荷方向依存性を明らかにした。また、nMOSFET の応力感度に影響を及ぼす因子として寄生抵抗の影響および素子分離酸化膜の影響に関して検討した。本章で得られた結果を以下に要約する。

- (1) nMOSFET のドレイン電流および相互コンダクタンスは、1 軸引張り負荷で増加、圧縮負荷で減少する。本研究で用いた nMOSFET の場合、変動量は 100MPa で数%である。また、しきい値電圧の変動は見られない。
- (2) nMOSFET の応力感度には電流方向に対する負荷方向依存性が存在し、電流方向と負荷方向が平行な場合の方が垂直な場合に比較して応力感度（特性値変動量）が大きくなる。
- (3) 実際に計測される相互コンダクタンスの応力感度にはゲート長さ依存性が存在し、ゲート長さが短く（10 μm 程度以下）になると応力感度が小さくなる。
- (4) 本研究で用いた nMOSFET の場合、応力感度におけるゲート長さ依存性は、ソース・ドレイン部分の寄生抵抗の影響と見なせる。

本章の結果に基づき、第 4 章では樹脂封止実装応力に起因した特性変動の評価、第 5 章では応力効果を考慮した電子移動度モデルの検討を行う。

第3章の参考文献

- [1] A. Hamada, T. Furusawa, N. Saito and E. Takeda, “A new aspect of mechanical stress effects in scaled MOS devices”, *IEEE Transactions on Electron Devices*, Vol.38, No.4, pp.895-900, 1991.
- [2] 三浦英生, 西村朝雄, “パッケージング応力起因の半導体素子特性変動”, *日本機械学会論文集, A編*, Vol.61, No.589, pp.1957-1964, 1995.
- [3] C.L. Huang, H.R. Soleimani, G.J. Grula, J.W. Sleight, A. Villani, H. Ali and D.A. Antoniadis, “LOCOS-induced stress effects on thin-film SOI devices”, *IEEE Transactions on Electron Devices*, Vol.44, No.4, pp.646-650, 1997.
- [4] H. Ali, “Stress-induced parametric shift in plastic packaged devices”, *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Vol.20, Part B, No.4, pp.458-462, 1997.
- [5] A.T. Bradley, R.C. Jaeger, J.C. Suhling and K.J. O'Connor, “Piezoresistive characteristics of short-channel MOSFETs on (100) silicon”, *IEEE Transactions on Electron Devices*, Vol.48, No.9, pp.2009-2015, 2001.
- [6] N. Watanabe and T. Asano, “Influence of direct Au-bump formation on metal oxide semiconductor field effect transistor”, *Japan Journal of Applied Physics*, Vol.41, Part 1, No.4B, pp.2714-2719, 2002.
- [7] W. Zhao, J. He, R.E. Belford, L.E. Wernersson and A. Seabaugh, “Partially depleted SOI MOSFETs under uniaxial tensile strain”, *IEEE Transactions on Electron Devices*, Vol.51, No.3, pp.317-323, 2004.
- [8] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi, R. Gwoziecki, S. Orain, E. Robilliart, C. Raynaud and H. Dansas, “Electrical analysis of mechanical stress induced by STI in short MOSFETs using externally applied stress”, *IEEE Transactions on Electron Devices*, Vol.51, No.8, pp.1254-1261, 2004.
- [9] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi and R. Gwoziecki, “Electrical analysis of external mechanical stress effects in short channel

- MOSFETs on (001) silicon”, Solid-State Electronics, Vol.48, pp.561-566, 2004.
- [10] S.E. Thompson, G. Sun, K. Wu, J. Lim and T. Nishida, “Key differences for process-induced uniaxial vs. substrate induced biaxial stressed Si and Ge channel MOSFETs”, International Electron Devices Meeting, pp.221-224, 2004.
- [11] H. Irie, K. Kita, K. Kyuno and A. Toriumi, “In-plane mobility anisotropy and universality under uni-axial strains in n- and p-MOS inversion layers on (100), (110), and (111) Si”, International Electron Devices Meeting, pp.225-228, 2004.
- [12] K. Uchida, R. Zednik, C.H. Lu, H. Jagannathan, J. McVittie, P.C. McIntyre and Y. Nishi, “Experimental study of biaxial and uniaxial strain effects on carrier mobility in bulk and ultrathin-body SOI MOSFETs”, International Electron Devices Meeting, pp.229-232, 2004.
- [13] K. Uchida, T. Krishnamohan, K.C. Saraswat and Y. Nishi, “Physical mechanisms of electron mobility enhancement in uniaxial stressed MOSFETs and impact of uniaxial stress engineering in ballistic regime”, International Electron Devices Meeting, pp.135-138, 2005.
- [14] 熊谷幸博, 太田裕之, 三浦英生, 清水昭博, 蒲原史朗, 前川径一, “ディープサブミクロン MOSFET の応力起因ドレイン電流変動評価手法の開発”, 日本機械学会論文集, A 編, Vol.72, No.713, pp.47-54, 2006.
- [15] 岸野正剛, 半導体デバイスの物理, 丸善, 第4刷, 2002.

第 4 章

樹脂封止実装応力による nMOSFET の DC 特性変動評価

4.1 緒言

第 3 章で実施したような曲げ負荷試験を利用した nMOSFET の DC 特性変動評価 [1-11] に比較して、実際の実装工程での評価に関する報告はあまりなされていない。これまで、樹脂封止 [12,13]、バンプ形成 [14]、チップスタック型マルチチップ実装 [15] に起因した DC 特性変動が計測されており、それぞれの nMOSFET における特性変動量と負荷応力（ひずみ）の関係が示されている。これらはいずれも、特性変動量と負荷応力（ひずみ）を結びつける際にそれぞれの実装条件やデバイス構造の違い等は検討・考慮されていない。しかしながら、定量的かつ汎用的な評価モデルを確立するには、nMOSFET の応力感度に影響を与える影響因子の解明が必要であり、そのためには、応力状態、実装工程およびデバイスの特徴（構造）を理解した上で評価を進める必要がある。

第 2 章では、樹脂封止により Si チップ上に生じる残留応力の簡易評価手法を示し、実際に QFP の樹脂封止工程によって生じる残留応力を評価した。また第 3 章では、4 点曲げ負荷試験を用いて nMOSFET の応力感度の測定および応力感度に影響を及ぼす影響因子の検討を行った。本章ではこれらの結果を踏まえ、実際の実装工程（QFP 実装）によって生じる残留応力に起因した nMOSFET の DC 特性変動評価を目的とした。すなわち、応力感度が評価されている nMOSFET を、残留応力が評価され

ている樹脂封止工程で実装（QFP）し、nMOSFET の DC 特性変動を測定した。さらにこの DC 特性変動測定結果を、1 軸負荷による応力感度と残留応力評価結果を用いて評価した。なお、第 5 章では本章で得られた結果を用いて応力効果を考慮した電子移動度モデルの妥当性を検証する。

4.2 DC 特性変動測定試験

4.2.1 試験片

樹脂封止実装応力による nMOSFET の DC 特性値変動を評価する試験デバイスとして、第 3 章で応力感度を評価した nMOSFET（個体は異なる）を用いた。すなわち、断面構造が模式的に図 3.7 で示されるゲート長さが異なる 4 種類の nMOSFET (W/L = 24/24, 24/12, 24/6, 24/0.8) を用いた。これらの nMOSFET に関して、第 3 章で測定した応力感度（Gm 変化率）の値を表 4.1 にまとめて示す。3.3 節で示したとおり、応力感度には電流方向に対する負荷方向依存性が存在する。表 4.1 では、電流方向と負荷方向が平行な場合 (Longitudinal) の応力感度を dGm^L 、垂直な場合 (Transverse) を dGm^T としている。

上述したゲート長さが異なる 4 種類の nMOSFET を QFP に実装し、樹脂封止実装応力による特性変動を測定するための試験片を作製した。nMOSFET が形成された Si チップの形状は、3mm×3mm×0.3mm である。また、4 種類の nMOSFET は同一の Si チップ上に形成されている。すなわち、本章で用いる QFP 試験片には、第 2 章で用いた応力測定用ピエゾ抵抗テストチップの代わりに、ゲート長さが異なる 4 種類の nMOSFET が形成された Si チップが実装されている。このとき、QFP 実装の手順、パッケージの構造・構成材料、寸法および実装工程（成形条件）は、第 2 章で実施した残留応力の評価に使用した QFP 試験片と全く同様である。なお、封止樹脂材料についても、第 2 章で使用した QFP 試験片と同じ線膨張係数が 2 倍以上異なる 2 種類の樹脂（Resin A および Resin B）を用いた。これらの樹脂は、製造ロットも第 2 章で用いた樹脂と同じである。したがって、本章で実施する QFP 実装に起因した nMOSFET の DC 特性変動評価においては、第 2 章で評価した QFP 中の残留応力、および第 3 章で評価した nMOSFET の応力感度（表 4.1）を用いることができる。

Table 4.1 Stress sensitivities of Gm change.

Unit: $\times 10^{-4}/\text{MPa}$

W/L	Longitudinal (dGm^L)	Transverse (dGm^T)
24/24	5.3	3.3
24/12	4.9	3.1
24/6	4.5	3.1
24/0.8	3.7	2.1

W: Gate width, L: Gate length

Longitudinal: drain current direction // load direction

Transverse: drain current direction \perp load direction

4.2.2 試験方法

はじめに、nMOSFET が形成されている Si チップをダイボンディングした後、nMOSFET の電極パッドにプローブを直接接続し、ゲート、バックゲート、ソースおよびドレイン電極に所定の電圧を印可してソース・ドレイン間の電流を測定した。測定条件は第 3 章で実施した応力感度の測定と同様で、ソース・ドレイン間の電圧を 0.1V に固定し、ゲート電圧を掃引してソース・ドレイン間の電流を測定した。次に、ワイヤボンディングを行った後、Resin A または Resin B で樹脂封止した。この樹脂封止後の QFP 試験片のリードを可変電源・電流計に接続し、ダイボンディング後の測定と同条件でソース・ドレイン間の電流を測定した。電流の測定は、いずれの場合も試験片が遮光された環境で行った。以上の測定手順から、本研究ではダイボンディング後の測定結果を特性変動ゼロの基準とし、QFP 試験片での測定結果と比較することにより樹脂封止工程で生じた DC 特性変動値とした。これは、第 2 章で示した樹脂封止工程における残留応力値の定義と対応している。

4.3 評価結果および考察

4.3.1 QFP の実装応力

第2章で実施した残留応力の評価結果を用いて nMOSFET の特性変動を評価するため、本節では第2章の評価結果をさらに詳細に検討する。

図4.1に、第2章で用いたピエゾ抵抗ゲージのテストチップ上での配置を示す。さらに図4.1には、nMOSFETの相対的な位置も同時に示している。第2章で実施した残留応力評価結果として、図4.2(a)に Resin A、図4.2(b)に Resin B で樹脂封止した場合の残留応力評価結果を示す。なお、 σ_{ii} は i 方向の垂直応力を表し、 τ_{ij} は i - j 面内でのせん断応力を表す。図4.2には、図4.1に示したピエゾ抵抗ゲージ#1 および#2 によるゲージ長手方向の垂直応力実測値、ピエゾ抵抗ゲージ位置での有限要素法解析結果および Si チップ上で $W/L=24/6$ 、 $W/L=24/12$ 、 $W/L=24/24$ デバイスが形成されている位置での有限要素法解析結果を示している。なお、 $W/L=24/0.8$ デバイス位置での有限要素法解析結果に関しては、ピエゾ抵抗ゲージ#1 位置での結果と同じと見なせる。第2章で述べたとおり、これらの結果はダイボンディング後の状態を残留応力ゼロの基準としており、したがって樹脂封止工程によって生じる残留応力値を示している。

本研究では、次項に示す DC 特性変動評価結果に対応させる応力値、および第5章に示す電子移動度モデルの検証に用いる応力値を、残留応力がより大きな Resin B、すなわち図4.2(b)に示す結果の評価から以下のように決定した。まず、チップ厚さ方向の垂直応力 σ_{zz} およびチップ x - y 表面内のせん断応力 τ_{xy} は、最も大きな（絶対）値を示す $W/L=24/24$ デバイスの τ_{xy} であっても x - y 表面内の垂直応力 (σ_{xx} および σ_{yy}) と比較して 8%程度である。したがって、nMOSFET が配置されている位置では、チップ厚さ方向の垂直応力 σ_{zz} およびチップ x - y 表面内のせん断応力 τ_{xy} を無視することができる。また、面外のせん断応力 τ_{yz} および τ_{zx} も図4.2(b)では省略しているが、最大で 3MPa 程度と非常に小さく無視できる。次に、 x - y 表面内の垂直応力に関して、ゲージ#1 位置 ($W/L=24/0.8$ デバイス位置) および $W/L=24/24$ デバイス位置では、ほぼ $\sigma_{xx} = \sigma_{yy}$ である。 $W/L=24/6$ デバイス位置では σ_{yy} の大きさが σ_{xx} に比較して約 10%程度小さく、 $W/L=24/12$ デバイス位置では 18%程度小さくなる。本研究では、第2章で考察したと

おり解析値が小さく算出される傾向を考慮し、実験値であるピエゾ抵抗ゲージ#1 (σ_{xx}) の値を定量的な真値として用いることとして、 σ_{yy} が実測できないことから全てのデバイス位置で $\sigma_{xx} = \sigma_{yy}$ と仮定した。ここで、前述のとおり $W/L=24/6$ デバイス位置および $W/L=24/12$ デバイス位置で σ_{xx} と σ_{yy} に多少の差があるものの、4 種類のデバイス位置においてそれぞれの σ_{xx} と σ_{yy} の平均値はほぼ同じである。したがって、次項で実施するピエゾ効果の関係[16]を用いた特性変動値の見積もりにおいて、 $W/L=24/6$ デバイスおよび $W/L=24/12$ デバイスで $\sigma_{xx} = \sigma_{yy}$ と見なしても、 $\sigma_{xx} \neq \sigma_{yy}$ とした場合との差は数%～10%程度である。以上の議論は、図 4.2(a)に示す Resin A の場合にも成り立つ。また、第 5 章で実施する電子移動度モデルの検証においては、 $W/L=24/24$ デバイスの結果を用いて比較を行うため、 $\sigma_{xx} = \sigma_{yy}$ と見なしても問題ない。以上から具体的には、次項および第 5 章において nMOSFET の残留応力値として、Resin A では $\sigma_{xx} = \sigma_{yy} = -77\text{MPa}$ 、Resin B では $\sigma_{xx} = \sigma_{yy} = -152\text{MPa}$ を用いる。

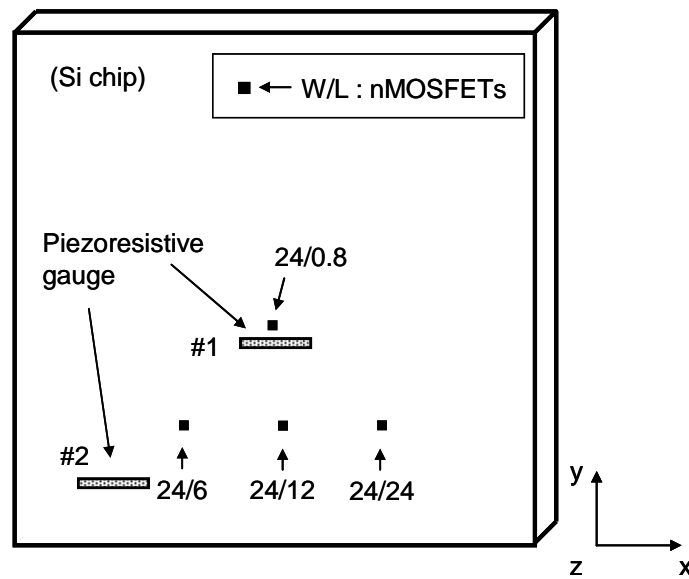


Fig. 4.1 Distribution of nMOSFETs and piezoresistive gauges on Si chip.

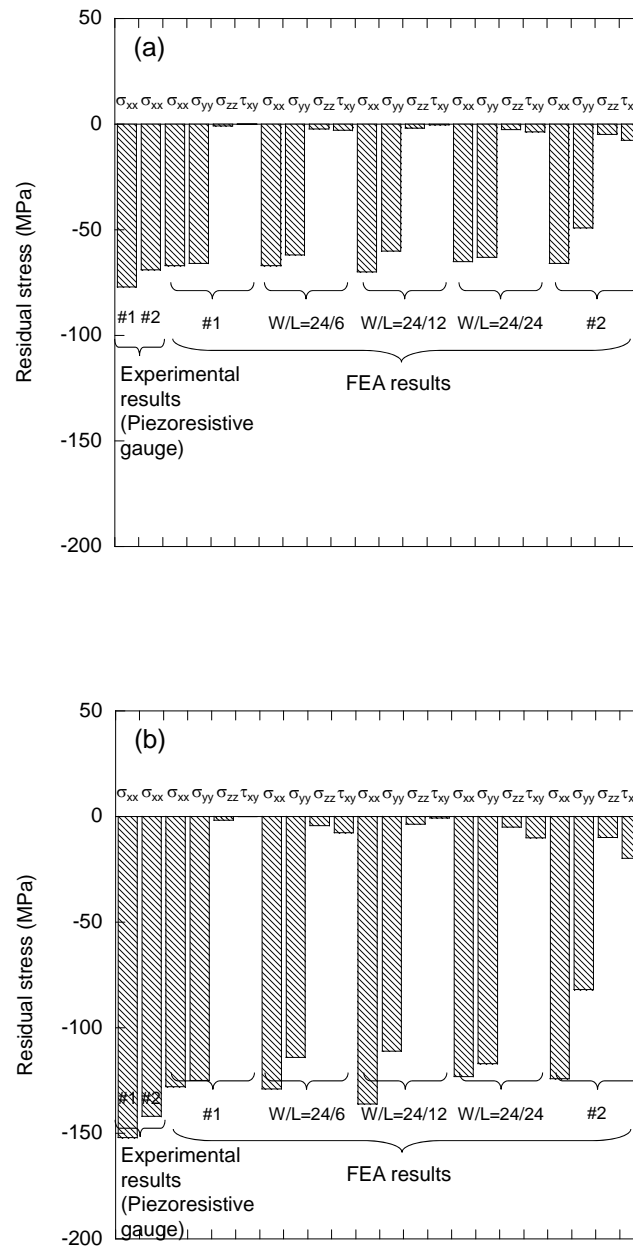


Fig. 4.2 Residual stress in Si chip after resin-molding. (a) Resin A, (b) Resin B.

4.3.2 DC 特性変動評価結果

ゲート電圧の変化に対するドレイン電流変化の測定結果例として、図 4.3(a)(b)に $W/L = 24/24$ デバイス、図 4.3(c)(d)に $W/L = 24/0.8$ デバイスでの測定結果を示す。図 4.3(a)(c)が Resin A での結果、図 4.3(b)(d)が Resin B での結果を示している。今回計測を行っていたいずれの nMOSFET 形状の場合も、図 4.3 に示す結果同様に樹脂封止によりドレイン電流が減少した。しきい値電圧の顕著な変動は見られなかった。これらは、前項で示したとおり、QFP 実装により nMOSFET に生じる残留応力が圧縮応力であることを考慮すれば、第 3 章で示した 4 点曲げ負荷試験による結果と定性的に同じである。また、いずれの nMOSFET 形状の場合も Resin B での変動量の方が Resin A での変動量よりも大きくなった。これは、前項で示したとおり、Resin B を用いた QFP の方が Resin A を用いた QFP よりも Si チップに生じる残留応力が大きいことに対応している。図 4.4 には、樹脂封止工程にともなう 3.3.2 項で定義した相互コンダクタンス (G_m) の変化率 ($\Delta G_m / G_m$) を nMOSFET ゲート長さ (L) に対して図示している。この結果、第 3 章で示した 1 軸負荷による G_m 変化率の応力感度と同様に、ゲート長さが短くなると応力感度が減少する傾向が見られた。すなわち、2 軸負荷（と見なせる）状態においても、測定される G_m 変化率にはゲート長さ依存性が存在する。これは、3.4 節で 1 軸負荷の場合について示した検証結果、すなわち今回用いた nMOSFET で測定される応力感度におけるゲート長さ依存性は、デバイスの微細構造に起因した応力分布の差の影響ではなく、主に寄生抵抗による影響という評価結果とも矛盾がない。

次に、表 4.1 に示した 1 軸負荷による G_m 変化率の応力感度を用い、図 4.4 に示した樹脂封止工程にともなう G_m 変化率の測定結果を予測した。ピエゾ効果の関係[16]から、チップ表面内の 2 軸負荷によるドレイン電流変動量は、電流方向のみの応力を考えた場合の変動量と電流方向と垂直な方向のみの応力を考えた場合の変動量の和で見積もられる。 G_m の変動量も同様に考え、 G_m 変化率 ($\Delta G_m / G_m$) を次式(4.1)で見積もった。

$$\frac{\Delta G_m}{G_m} = dG_m^L \sigma^L + dG_m^T \sigma^T \quad (4.1)$$

ここで、 σ^L は電流方向の応力値、 σ^T は電流方向と垂直な方向の応力値である。本研究では 4.3.1 項で示したとおり、Resin A の場合 $\sigma^L = \sigma^T = -77\text{MPa}$ 、Resin B の場合 $\sigma^L = \sigma^T = -152\text{MPa}$ とした。図 4.4 には、このそれぞれの応力値と表 4.1 に示した G_m 変化率

の応力感度 (dGm^L および dGm^T) を用い、式(4.1)から Gm 変化率を予測した結果も同時に示している。予測結果の方が実験結果よりも変動量が小さくなる傾向が見られたが、Resin A および Resin B のいずれの場合も、式(4.1)を用いて今回の計測結果を比較的良好一致で見積もることができた。つまり、あるデバイスについて負荷試験によって応力感度を同定すれば、そのデバイスを実装する際の設計指針を得ることが可能となる。評価手法としてのこのピエゾ効果モデルは、応力と電気特性変動（抵抗変化率等）を直接結び付ける経験的モデルである。しかし、さらに定量的、汎用的な評価を行うためには、デバイス形状の違いや不純物濃度の違い等が評価モデルの中で考慮されなければならない。これを可能とする評価手法の1つに、デバイスシミュレータを用いた評価が挙げられる。ドリフト拡散モデル[17,18]によるデバイスシミュレーションを念頭に置けば、応力の効果はキャリア（nMOSFET の場合は主に電子）移動度の変化に集約されることになる。第5章では、この応力効果を考慮した電子移動度モデルを示し、その妥当性を検証する。

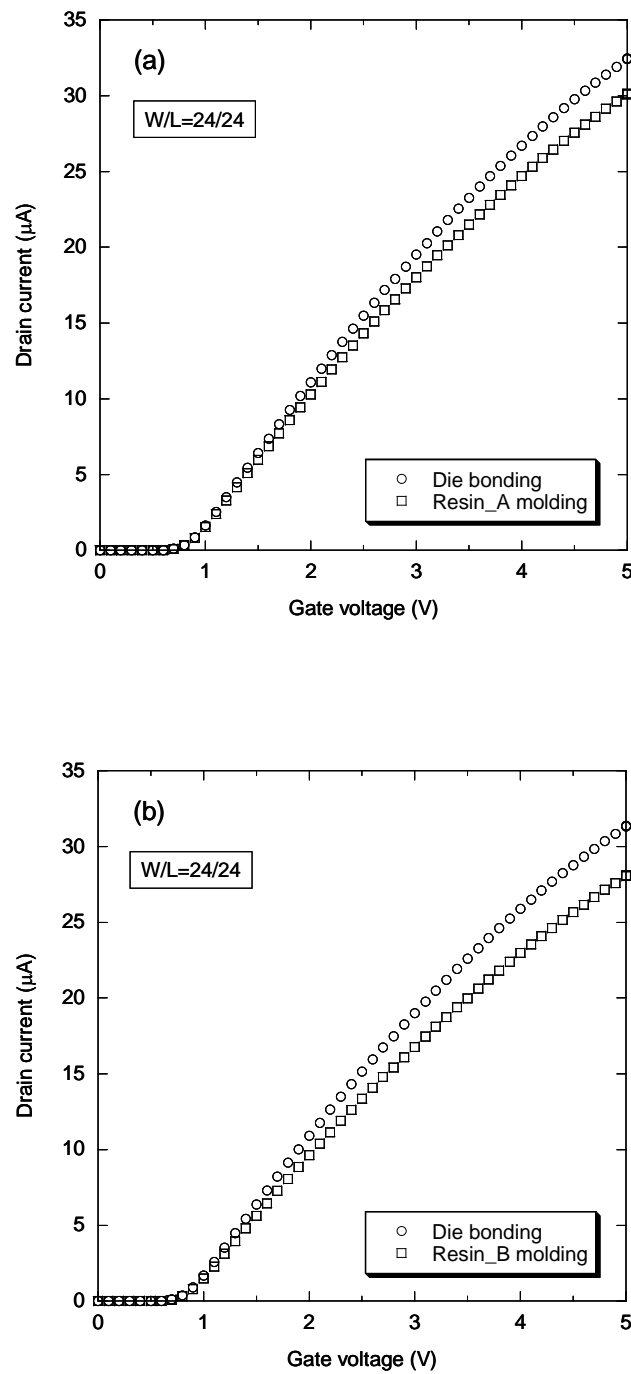


Fig. 4.3 Experimental results of drain current shifts induced by resin-molding.

(a) $W/L=24/24$, Resin A, (b) $W/L=24/24$, Resin B.

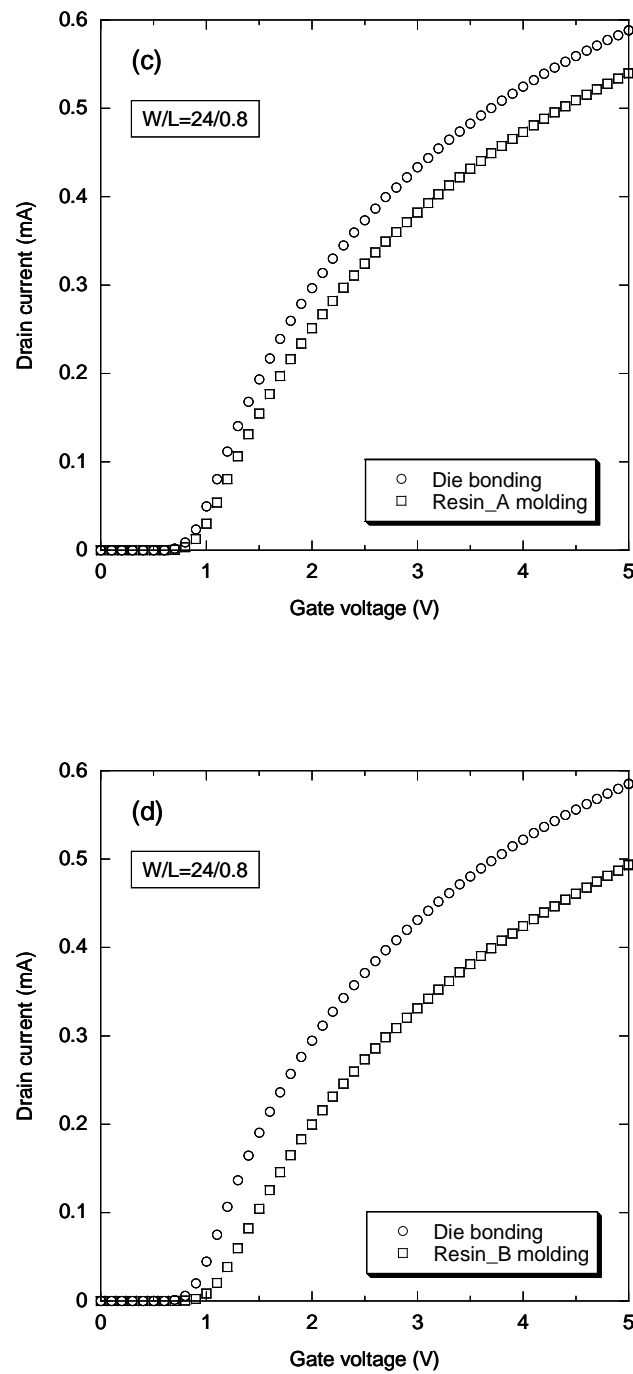


Fig. 4.3 Experimental results of drain current shifts induced by resin-molding.

(c) $W/L=24/0.8$, Resin A, (d) $W/L=24/0.8$, Resin B.

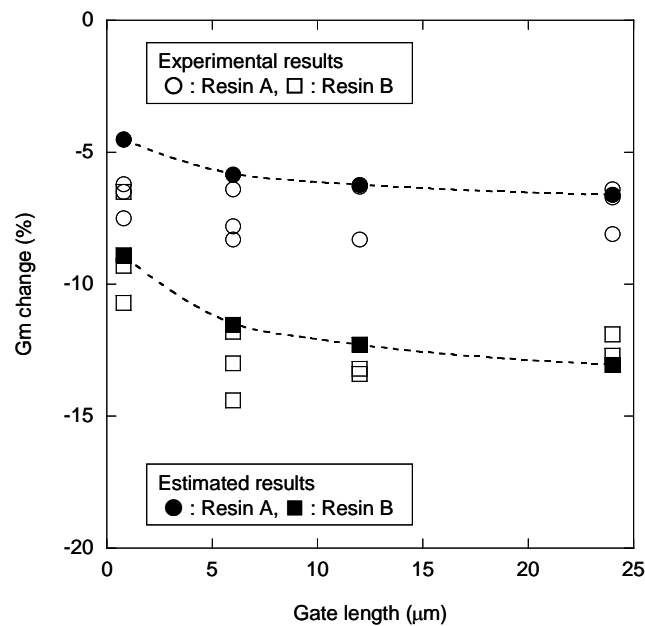


Fig. 4.4 Experimental results and estimated results of Gm change.

4.4 結言

本章では、実際の樹脂封止工程（QFP 実装）における nMOSFET の応力に起因する DC 特性変動を評価した。本章で得られた結果を以下に要約する。

- (1) nMOSFET のゲート水平面内 2 軸圧縮負荷と見なせる実装応力で、ドレイン電流および相互コンダクタンスの応力感度は減少する。しきい値電圧は変動しない。
- (2) 第 3 章で示した 1 軸負荷の場合と同様に、2 軸負荷（と見なせる）の場合でもゲート長さが短くなると実測される相互コンダクタンスの応力感度が減少する。
- (3) 樹脂封止工程で生じる残留応力（本研究では 2 軸負荷）による nMOSFET の特性変動は、有限要素法により評価された残留応力値、および 4 点曲げ試験により測定された 1 軸応力感度を用いて piezo 効果の関係から見積もることができる。

第 5 章および第 6 章においては、本章で得られた結果と比較することにより、応力効果を考慮した電子移動度モデルおよびデバイスシミュレーションの妥当性を検証する。

第 4 章の参考文献

- [1] A. Hamada, T. Furusawa, N. Saito and E. Takeda, “A new aspect of mechanical stress effects in scaled MOS devices”, IEEE Transactions on Electron Devices, Vol.38, No.4, pp.895-900, 1991.
- [2] C.L. Huang, H.R. Soleimani, G.J. Grula, J.W. Sleight, A. Villani, H. Ali and D.A. Antoniadis, “LOCOS-induced stress effects on thin-film SOI devices”, IEEE Transactions on Electron Devices, Vol.44, No.4, pp.646-650, 1997.
- [3] A.T. Bradley, R.C. Jaeger, J.C. Suhling and K.J. O'Connor, “Piezoresistive characteristics of short-channel MOSFETs on (100) silicon”, IEEE Transactions on Electron Devices, Vol.48, No.9, pp.2009-2015, 2001.
- [4] W. Zhao, J. He, R.E. Belford, L.E. Wernersson and A. Seabaugh, “Partially depleted SOI MOSFETs under uniaxial tensile strain”, IEEE Transactions on Electron Devices, Vol.51, No.3, pp.317-323, 2004.
- [5] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi, R. Gwoziecki, S. Orain, E. Robilliart, C. Raynaud and H. Dansas, “Electrical analysis of mechanical stress induced by STI in short MOSFETs using externally applied stress”, IEEE Transactions on Electron Devices, Vol.51, No.8, pp.1254-1261, 2004.
- [6] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi and R. Gwoziecki, “Electrical analysis of external mechanical stress effects in short channel MOSFETs on (001) silicon”, Solid-State Electronics, Vol.48, pp.561-566, 2004.
- [7] S.E. Thompson, G. Sun, K. Wu, J. Lim and T. Nishida, “Key differences for process-induced uniaxial vs. substrate induced biaxial stressed Si and Ge channel MOSFETs”, International Electron Devices Meeting, pp.221-224, 2004.
- [8] H. Irie, K. Kita, K. Kyuno and A. Toriumi, “In-plane mobility anisotropy and universality under uni-axial strains in n- and p-MOS inversion layers on (100), (110), and (111) Si”, International Electron Devices Meeting, pp.225-228, 2004.

- [9] K. Uchida, R. Zednik, C.H. Lu, H. Jagannathan, J. McVittie, P.C. McIntyre and Y. Nishi, “Experimental study of biaxial and uniaxial strain effects on carrier mobility in bulk and ultrathin-body SOI MOSFETs”, International Electron Devices Meeting, pp.229-232, 2004.
- [10] K. Uchida, T. Krishnamohan, K.C. Saraswat and Y. Nishi, “Physical mechanisms of electron mobility enhancement in uniaxial stressed MOSFETs and impact of uniaxial stress engineering in ballistic regime”, International Electron Devices Meeting, pp.135-138, 2005.
- [11] 熊谷幸博, 太田裕之, 三浦英生, 清水昭博, 蒲原史朗, 前川径一, “ディープサブミクロン MOSFET の応力起因ドレイン電流変動評価手法の開発”, 日本機械学会論文集, A 編, Vol.72, No.713, pp.47-54, 2006.
- [12] 三浦英生, 西村朝雄, “パッケージング応力起因の半導体素子特性変動”, 日本機械学会論文集, A 編, Vol.61, No.589, pp.1957-1964, 1995.
- [13] H. Ali, “Stress-induced parametric shift in plastic packaged devices”, IEEE Transactions on Components, Packaging, and Manufacturing Technology, Vol.20, Part B, No.4, pp.458-462, 1997.
- [14] N. Watanabe and T. Asano, “Influence of direct Au-bump formation on metal oxide semiconductor field effect transistor”, Japan Journal of Applied Physics, Vol.41, Part 1, No.4B, pp.2714-2719, 2002.
- [15] 池田晃裕, 浜口淳, 小木博志, 岩崎一也, 服部励治, 黒木幸令, “チップスタック型マルチチップ実装における MOSFET の移動度の変動について”, 電子情報通信学会論文誌, (C), Vol.J88-C, No.11, pp.866-873, 2005.
- [16] C. S. Smith, “Piezoresistance effect in germanium and silicon”, Physical Review, Vol.94, No.1, pp.42-49, 1954.
- [17] C.M. Snowden, Introduction to semiconductor device modeling, World Scientific, 1986.
- [18] 富澤一隆, 半導体デバイスシミュレーション, コロナ社, 1996.

第 5 章

応力効果を考慮した電子移動度モデルの検討

5.1 緒言

第 4 章では、実際の樹脂封止工程で生じる残留応力に起因した nMOSFET の特性変動が、 piezo 効果の関係をを用いて見積り可能であることを示した。評価手法としてのこの piezo 効果モデルは、応力と電気特性変動を直接結び付ける経験的モデルである。したがって、各デバイスにおける構造や不純物濃度等の違いは評価モデルの中で考慮されず、その評価パラメータ（応力感度）をデバイスごとに測定する必要がある。すなわち、これまでも実験式に基づいた評価手法および結果が示されている[1-4]が、これらの手法のみで多種多様存在する実際のデバイスの評価に対応することは容易ではない。その点、デバイスシミュレーションではデバイス形状や不純物濃度もモデルパラメータとして扱えるため、汎用的な評価手法として有用であり、応力に起因したデバイス特性変動における影響因子の解明にも役立つと考えられる。第 6 章で実施するドリフト拡散モデル[5,6]に基づくデバイスシミュレーションでは、応力効果はキャリア移動度の変化に集約される。よって本章では、応力効果を考慮した移動度モデルについて検討を進める。第 1 章（図 1.3）では実装工程で電気特性に影響を与える因子の概要を示したが、移動度の変調という視点に立てば、図 1.3 に示したような種々の影響因子を含んだ評価・シミュレーションモデルの構築が可能となる。図 5.1 には、本章で検討する電子移動度モデルと piezo 効果モデルの概要を比較して示している。Si 結晶にひずみが生じると伝導

帯のエネルギーが変化し、それに伴って電気伝導に寄与する電子の存在確率および散乱確率に変調して、電子移動度が変化することが知られている[7]. Egley と Chidambarrao は、応力（ひずみ）による Si 伝導帯および価電子帯のエネルギー変化に起因するキャリア（電子および正孔）存在確率の変化をキャリア移動度変化に対応させたモデルを提案し、このモデルを用いたデバイスシミュレーションにより npn トランジスタの評価を実施している[8]. さらに Dhar らは、電子存在確率の変化に加え、電子散乱確率（緩和時間）の変化も考慮した電子移動度モデルを提案している[9]. ただ現状では、応力に起因したデバイスの電気特性変動評価をデバイスシミュレーションにより検討した例はほとんどなく、実験結果との比較による実用的な検証がなされているとは言い難い. 評価手法としてのデバイスシミュレーションの有用性に鑑みれば、さらなるシミュレーションモデルの検討および実デバイスへの適用と検証、評価結果の蓄積が望まれている.

そこで本章では、デバイスシミュレータへの実装を念頭に置いた簡便で入力パラメータの少ない応力効果を考慮した電子移動度モデルについて検討を行う. 応力による伝導帯エネルギーの変化、および伝導帯エネルギー変化によって引き起こされる電子存在確率と散乱確率の変化を考慮した電子移動度モデルを示し、第3章および第4章で示した実験結果との比較によりモデルの妥当性を検証する. 第6章では、実際に応力効果を考慮したデバイスシミュレーションを実施し、第4章で示した実装応力に起因する電気特性変動を評価する.

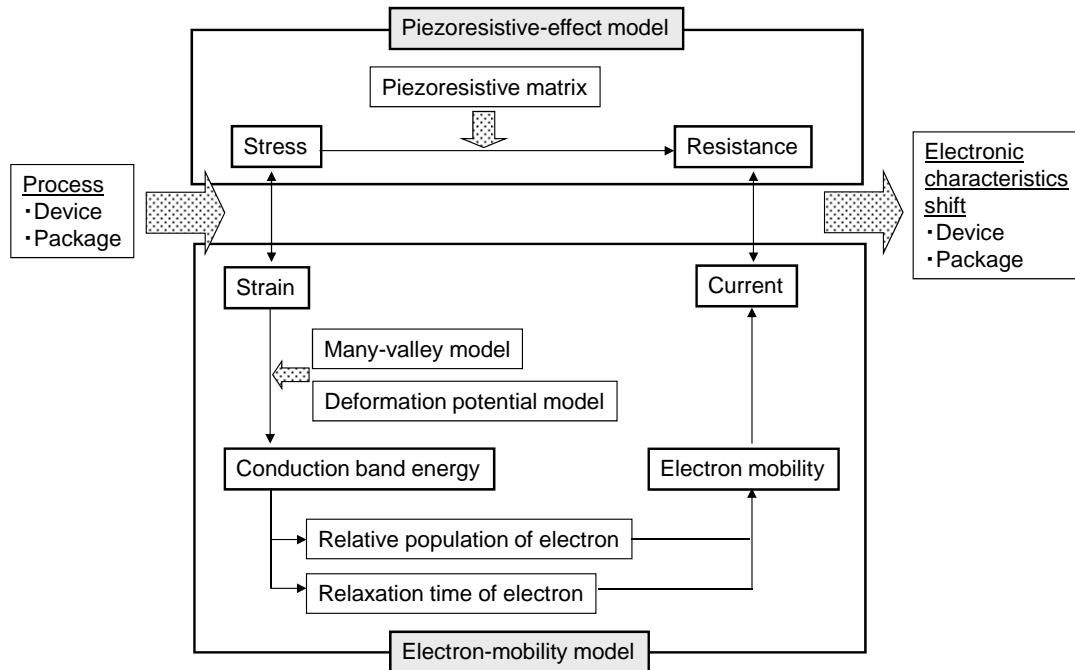


Fig. 5.1 Stress-induced effect models (Piezoresistive-effect model and Electron mobility model).

5.2 ひずみによる Si 伝導帯エネルギーの変化

5.2.1 バルク Si の多バレーモデル

本研究では nMOSFET を対象としているため、本章では伝導帯および電子移動度について議論を進める。したがって、以降では特に明記しなくても移動度とは電子移動度のことを指す。バルク Si の伝導帯エネルギーの底（伝導バレー）は無負荷の状態で 6 重に縮退しており、その等エネルギー面は k 空間（波数空間）において $\langle 100 \rangle$ 結晶軸およびそれと等価な軸を長軸とする回転楕円体として表される[10]。図 5.2 に模式的に示すこの多バレーモデルでは、電子は有効質量近似によりそれぞれの伝導バレーにおいて回転楕円体の長軸方向に有効質量 m_L^* 、移動度 μ_L 、それと垂直方向に有効質量 m_T^* 、移動度 μ_T を有していると考えられる。このとき、 $m_L^* > m_T^*$ 、すなわち $\mu_L < \mu_T$ であり、この概

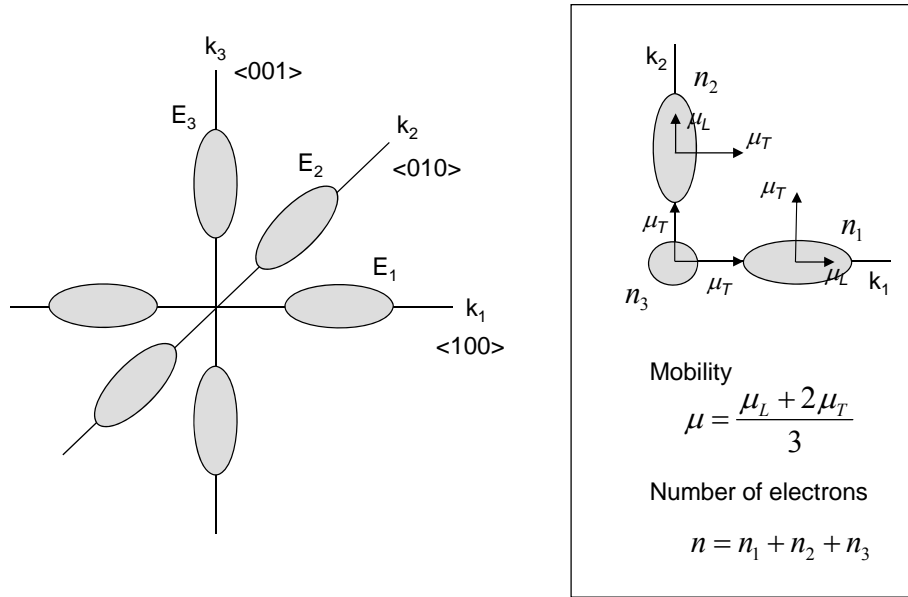


Fig. 5.2 Schematic diagram of many-valley model in k -space for conduction band in bulk silicon.

念により多くの実測されるバルク Si の電気的特性の異方性を記述することができる。なお、 $\langle 100 \rangle$ 結晶軸を 1 軸に、 $\langle 010 \rangle$ 軸を 2 軸、 $\langle 001 \rangle$ 軸を 3 軸にそれぞれ対応させ、以下では i 軸 ($i=1, 2, 3$) として表記する。

n 型半導体においては、電気伝導に寄与する主なキャリアは電子であり、電子電流（ドリフト電流） \mathbf{J} は次式(5.1)で表される。

$$\mathbf{J} = q\mu n \nabla \phi_n \quad (5.1)$$

ここで、 q は電荷、 μ は移動度、 n は電子数、 $\nabla \phi$ は電子擬フェルミポテンシャルの勾配である。式(5.1)を多バレーモデルにより書き直せば、次式(5.2)のとおり表せる。

$$\begin{pmatrix} J_1 \\ J_2 \\ J_3 \end{pmatrix} = q \left[\begin{pmatrix} \mu_L & 0 & 0 \\ 0 & \mu_T & 0 \\ 0 & 0 & \mu_T \end{pmatrix} \frac{n_1}{n} + \begin{pmatrix} \mu_T & 0 & 0 \\ 0 & \mu_L & 0 \\ 0 & 0 & \mu_T \end{pmatrix} \frac{n_2}{n} + \begin{pmatrix} \mu_T & 0 & 0 \\ 0 & \mu_T & 0 \\ 0 & 0 & \mu_L \end{pmatrix} \frac{n_3}{n} \right] n \begin{pmatrix} \partial_1 \phi \\ \partial_2 \phi \\ \partial_3 \phi \end{pmatrix} \quad (5.2)$$

なお、 $\partial_i = \partial / \partial x_i$ である。 n_i は i 軸に沿った伝導バレーにおける電子数であり、 $n = n_1 + n_2 + n_3$ である。したがって、移動度 μ_i は次式(5.3)で与えられる。

$$\begin{pmatrix} \mu_1 \\ \mu_2 \\ \mu_3 \end{pmatrix} = \begin{pmatrix} \frac{n_1}{n}\mu_L + \frac{n_2}{n}\mu_T + \frac{n_3}{n}\mu_T & 0 & 0 \\ 0 & \frac{n_1}{n}\mu_T + \frac{n_2}{n}\mu_L + \frac{n_3}{n}\mu_T & 0 \\ 0 & 0 & \frac{n_1}{n}\mu_T + \frac{n_2}{n}\mu_T + \frac{n_3}{n}\mu_L \end{pmatrix} \quad (5.3)$$

バルク Si においては、無負荷の状態では 6 つの伝導バレーが縮退しており等価であるため

$$\frac{n_1}{n} = \frac{n_2}{n} = \frac{n_3}{n} \quad (5.4)$$

となり、電流方向がいずれの方向であっても移動度は

$$\mu = \frac{\mu_L + 2\mu_T}{3} \quad (5.5)$$

で与えられ等方的となる。

5.2.2 nMOSFET 反転層での伝導帯エネルギー

本研究で用いた Si (001) MOS デバイスの反転層における電子状態はバルク Si のそれ (図 5.2) とは異なり、反転層での電子が二次元量子化される結果、図 5.3(a)(b)に示すように 2 重縮退バレーと 4 重縮退バレーに分岐する [7,11]. このとき、図 5.3(b)に示すように 2 重縮退バレーの基底サブバンドエネルギー E_0^2 の方が、4 重縮退バレーの基底サブバンドエネルギー E_0^4 よりも $\Delta E_u = E_0^4 - E_0^2$ だけ低くなる。

この MOS 反転層にひずみが生じると、伝導バンド端 (すなわちバレー) が変化して図 5.3(b)に示した 2 重縮退バレーと 4 重縮退バレーの基底サブバンドエネルギー差がさらに変調する。具体的には、(001) 面内の 2 軸圧縮応力状態、すなわち第 4 章で評価を行った nMOSFET の応力状態では、伝導バレーが図 5.3(c)のように変化する。このとき、図 5.3(d)に示すように、ひずみによる効果 (伝導バンド端の変化) を含んだ 2 重縮退バレーの基底サブバンドエネルギーと 4 重縮退バレーの基底サブバンドエネルギー差 ΔE_s は、 $\Delta E_s = \Delta E_u - \Delta E_{strain}$ で表される。ここで、 ΔE_{strain} はひずみに起因した 2 重縮退バレーと 4 重縮退バレーの変調差 (伝導バンド端の変化分) である。本研究では、無負荷の状態 (図 5.3(a)(b)) の電気特性値を変動ゼロの基準としているため、ひずみによる変調差分 ΔE_{strain} (つまり図 5.3(b)から図 5.3(d)への変調分) のみを考え移動度の変化と対応させる。

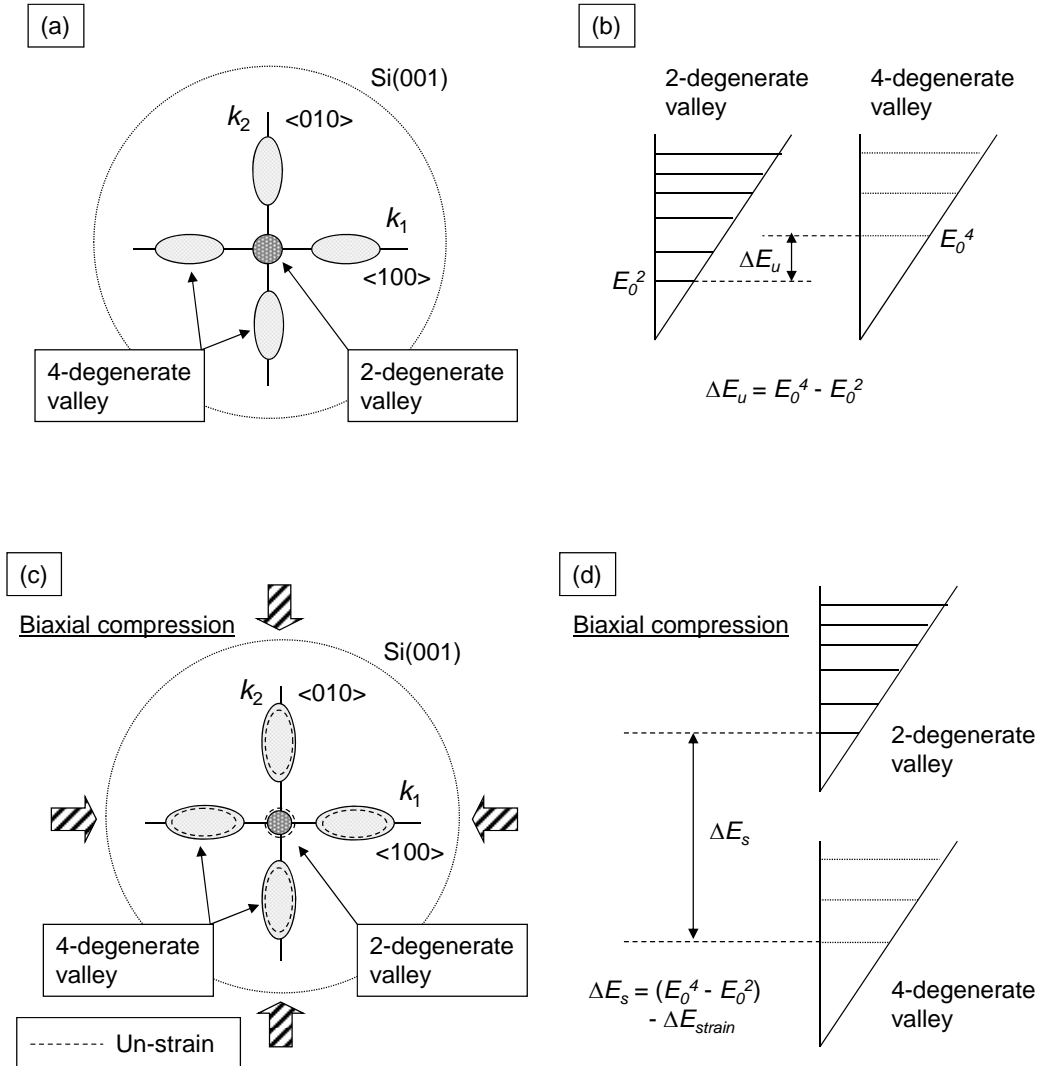


Fig. 5.3 Si MOS conduction band energy in inversion layer [7,11]. (a) conduction band valley, un-strain, (b) subband energy, un-strain, (c) conduction band valley, biaxial compressive stress, (d) subband energy, biaxial compressive stress.

5.2.3 変形ポテンシャルモデル

前節で示したひずみによる伝導バレーのエネルギー変化は、以下に示す変形ポテンシャルモデルにより求められる。

変形ポテンシャルモデルでは、Si 結晶の変形（ひずみ）による伝導バレーのエネル

ギー E_c の変化分 ΔE_c は、次式(5.6)で表される[10].

$$\Delta E_c = \frac{\partial E}{\partial \varepsilon_{11}} e_1 + \frac{\partial E}{\partial \varepsilon_{22}} e_2 + \frac{\partial E}{\partial \varepsilon_{33}} e_3 + \frac{\partial E}{\partial \varepsilon_{12}} e_4 + \frac{\partial E}{\partial \varepsilon_{23}} e_5 + \frac{\partial E}{\partial \varepsilon_{31}} e_6 + \dots \quad (5.6)$$

ここで、Si 結晶におけるひずみテンソルを ε_{ij} とすると $e_1 = \varepsilon_{11}$, $e_2 = \varepsilon_{22}$, $e_3 = \varepsilon_{33}$, $e_4 = \varepsilon_{12} + \varepsilon_{21}$, $e_5 = \varepsilon_{23} + \varepsilon_{32}$, $e_6 = \varepsilon_{31} + \varepsilon_{13}$, である. 式(5.6)中の $\partial E / \partial \varepsilon_{ij}$ は“変形ポテンシャル定数”であり, Herring と Vogt は立方晶においてその結晶構造の対称性を考慮した表式を, 幾つかの異なる (等価でない) 伝導バレーで示している[12]. 表 5.1 に示す Herring と Vogt の表式を用いれば, ひずみによる i 軸の Si 伝導バレーの変化 ΔE_i は 2 つの変形ポテンシャル定数 Ξ_d および Ξ_u を用いて次式(5.7)で表される.

$$\Delta E_i = \Xi_d (\varepsilon_{11} + \varepsilon_{22} + \varepsilon_{33}) + \Xi_u \varepsilon_{ii} \quad (5.7)$$

この変形ポテンシャル定数 Ξ_d や Ξ_u は, サイクロトロン共鳴実験や数値シミュレーションにより求められており, 本研究では Ξ_d および Ξ_u の値として $\Xi_d = 1.1\text{eV}$, $\Xi_u = 10.5\text{eV}$ [13]を用いた. 本研究では式(5.7)を用いてひずみによる伝導帯エネルギーの変化量を算出し, 各伝導バレーにおける電子存在確率の変化およびバレー間散乱確率の変化を算出した. 次節では, 伝導帯エネルギー変化による電子存在確率の変化およびバレー間散乱確率の変化を与えるモデルを示し, 応力効果を考慮した電子移動度モデルを定式化する.

Table 5.1 Representation of deformation potentials in a cubic semiconductor [12].

Type of valley →	100	110
$\partial E / \partial \varepsilon_{11}$	$\Xi_d + \Xi_u$	$\Xi_d + \Xi_u - \Xi_s / 2$
$\partial E / \partial \varepsilon_{22}$	Ξ_d	$\Xi_d + \Xi_u - \Xi_s / 2$
$\partial E / \partial \varepsilon_{33}$	Ξ_d	$\Xi_d - \Xi_u + \Xi_s$
$\partial E / \partial \varepsilon_{12}$	0	$\Xi_s / 2$
$\partial E / \partial \varepsilon_{23}$	0	0
$\partial E / \partial \varepsilon_{31}$	0	0

5.3 デバイスシミュレーションのための電子移動度モデル

5.3.1 ひずみによる電子存在確率の変化

本項では、伝導帯エネルギー変化にともなう電子存在確率の変化を与えるモデルを示す。Egley と Chidambarrao は、ひずみによる移動度の変化を各伝導バレーのエネルギー変化にともなう電子存在確率の変化に帰着させたモデルを提案している[8]。すなわち、ひずみによる伝導バレーのエネルギー変化によって各伝導バレーの電子数が変化し、各伝導バレー間の電子数に差異が生じる。具体的には、(5.3)式中における n_i/n が変化し、もはや(5.4)式も成り立たず、ひずみの状態に対応して電流方向の（総体の）移動度（(5.3)式で与えられる μ ）が変化することになる。Egley らの移動度モデルは、この伝導バレー間の電子存在確率の相対的な偏差のみを電流方向の移動度変化に反映させるモデルである。本研究では、Egley らのモデルを以下のとおりさらに簡略化して用いた。

電子はフェルミ・ディラック統計に従うフェルミ粒子であるが、本研究では簡略化のためマクスウェル・ボルツマン分布関数を用いて近似した。すなわち、エネルギー E を持つ電子の存在確率（分布関数） $f(E)$ は、次式(5.8)で与えられる。

$$f(E) = \exp\left(-\frac{E - E_F}{k_B T}\right) \quad (5.8)$$

ここで、 E_F はフェルミ準位エネルギー、 k_B はボルツマン定数、 T は格子温度である。5.2.2 項に示したひずみによるエネルギーの変調差分 ΔE_{strain} を考慮すれば、(5.8)式は次式(5.9)のように表される。

$$f(E) = \exp\left(-\frac{E - E_F + \Delta E_{strain}}{k_B T}\right) \quad (5.9)$$

よって、 i 軸に沿った伝導バレーの電子存在確率 v_i を次式(5.10)で定義した。

$$v_i = \frac{\exp\left(-\frac{E - E_F + \Delta E_i}{k_B T}\right)}{\sum_{i=1}^3 \exp\left(-\frac{E - E_F + \Delta E_i}{k_B T}\right)}$$

$$= \frac{\exp\left(-\frac{\Delta E_i}{k_B T}\right)}{\sum_{i=1}^3 \exp\left(-\frac{\Delta E_i}{k_B T}\right)} \quad (5.10)$$

これにより、ひずみによる電子存在確率の変化を考慮した移動度として、(5.3)式は次式(5.11)で表されることになる。

$$\begin{pmatrix} \mu_1 \\ \mu_2 \\ \mu_3 \end{pmatrix} = \begin{pmatrix} \nu_1 \mu_L + \nu_2 \mu_T + \nu_3 \mu_T & 0 & 0 \\ 0 & \nu_1 \mu_T + \nu_2 \mu_L + \nu_3 \mu_T & 0 \\ 0 & 0 & \nu_1 \mu_T + \nu_2 \mu_T + \nu_3 \mu_L \end{pmatrix} \quad (5.11)$$

以上では、ひずみによる電子存在確率の変化、および電子存在確率の変化を反映した移動度を与えるモデルを示した。この(5.11)式で表される移動度モデルは、各伝導バレーの電子が有する移動度の電流方向移動度への寄与分（これが各伝導バレーの電子存在確率にあたる）が、ひずみに応じて変化するモデルである。したがって、各伝導バレーの移動度そのもの、すなわち(5.11)式中の μ_L や μ_T はひずみによって変化しない。一方で、電子存在確率の変化のみを考慮した場合、移動度変化におけるひずみの効果を過小評価してしまうとの指摘がある[14]。そこで次項では、電子存在確率の変化に加えて電子散乱確率の変化を考慮するため、ひずみによる電子散乱確率の変化を与えるモデルを示す。

5.3.2 ひずみによる電子散乱確率の変化

本項では、伝導帯エネルギー変化にともなうバレー間の散乱確率、すなわち緩和時間の変化を与えるモデルを示す。ここで、移動度と緩和時間 τ には次式(5.12)の関係がある。

$$\mu = \frac{q\tau}{m^*_c} \quad (5.12)$$

m^*_c は伝導電子の有効質量であり、電流方向の総体的な移動度 μ に対応する。このとき、

$$\mu_L = \frac{q\tau}{m^*_L}, \quad \mu_T = \frac{q\tau}{m^*_T} \quad (5.13)$$

である。したがって、ひずみが生じることにより緩和時間が変化すれば、各伝導バレーに存在する電子の移動度および電流方向の総体的な移動度も変化することになる。なお本研究では、ひずみによって有効質量は変化しないと仮定している。

図 5.4 に、バレー間散乱機構を模式的に図示する。バレー間散乱には、図 5.4 に示すように同一主軸上において等価なバレー間の散乱（g 過程）と、主軸が異なるバレー間

の散乱 (f 過程) が存在する[11]. ひずみが生じていない場合 (図 5.4(a)), g 過程の緩和時間を τ_{0g} , f 過程の緩和時間を τ_{0f} とすると, Matthiessen's rule から τ_{0g} および τ_{0f} と τ の関係が次式(5.14)で表される.

$$\frac{1}{\tau} = \frac{1}{\tau_{0g}} + \frac{1}{\tau_{0f}} \quad (5.14)$$

この関係を用いれば, (5.12)式は次式 (5.15)のとおり書き換えられる.

$$\mu = \frac{q}{m^*_c} \cdot \frac{\tau_{0g} \cdot \tau_{0f}}{\tau_{0g} + \tau_{0f}} \quad (5.15)$$

次に, ひずみにより各伝導バレーのエネルギーが変化した場合 (図 5.4(b)), τ_{0g} は主軸上において等価なバレー間散乱の緩和時間なので変化せず, 一方, τ_{0f} は伝導バレー間のエネルギー差 ΔE に応じて変化する. このとき, ひずみが生じた後の f 過程の緩和時間 $\tau_{f,i}$ を次式で定義する.

$$\frac{1}{\tau_{f,i}} = \frac{1}{\tau_{0f}} \cdot p_i \quad (5.16)$$

これによって, ひずみが生じた後の i 軸上传導バレーの電子が有する緩和時間 $\tau_{str,i}$ が, 次式(5.17)で表される.

$$\begin{aligned} \frac{1}{\tau_{str,i}} &= \frac{1}{\tau_{0g}} + \frac{1}{\tau_{f,i}} \\ &= \frac{1}{\tau_{0g}} + \frac{1}{\tau_{0f}} \cdot p_i \end{aligned} \quad (5.17)$$

f 過程に係わる緩和時間のひずみによる変化係数である p_i は, Dhar らによって次式 (5.18)で与えられている[9].

$$p_i = \frac{g\left(\frac{\Delta E_{i \rightarrow j}^{emi}}{k_B T}\right) + g\left(\frac{\Delta E_{i \rightarrow l}^{emi}}{k_B T}\right) + \exp\left(\frac{\hbar \omega_{opt}}{k_B T}\right) \left\{ g\left(\frac{\Delta E_{i \rightarrow j}^{abs}}{k_B T}\right) + g\left(\frac{\Delta E_{i \rightarrow l}^{abs}}{k_B T}\right) \right\}}{2 \left\{ g\left(\frac{-\hbar \omega_{opt}}{k_B T}\right) + \Gamma\left(\frac{3}{2}\right) \right\}} \quad (5.18)$$

ここで,

$$\Delta E_{i \rightarrow j}^{emi} = \Delta E_j - \Delta E_i - \hbar \omega_{opt} \quad (5.19)$$

$$\Delta E_{i \rightarrow j}^{abs} = \Delta E_j - \Delta E_i + \hbar \omega_{opt} \quad (5.20)$$

である. この(5.19)式および(5.20)式中の ΔE_i が(5.7)式を用いて算出され, ひずみの効果を反映する. $\hbar \omega_{opt}$ はフォノンエネルギーであり, 本研究では文献[13]から 61.2 meV と

した. (5.18)式における $g(s)$ は, 次式(5.21)で定義される.

$$g(s) = \begin{cases} \exp(-s) \cdot \Gamma\left(\frac{3}{2}\right) & (\forall_s > 0) \\ \exp(-s) \cdot \Gamma\left(\frac{3}{2}, -s\right) & (\forall_s < 0) \end{cases} \quad (5.21)$$

なお, $\Gamma(3/2) = (\pi)^{1/2}/2$ であり, $\Gamma(3/2, -s)$ は不完全ガンマ関数である.

以上, 本項ではひずみによる電子散乱確率の変化を与えるモデルを示した. 次項では, 5.3.1 項で示した(5.11)式, 本項で示した(5.17)式の関係を用いて, 応力効果を考慮した移動度モデルを定式化する.

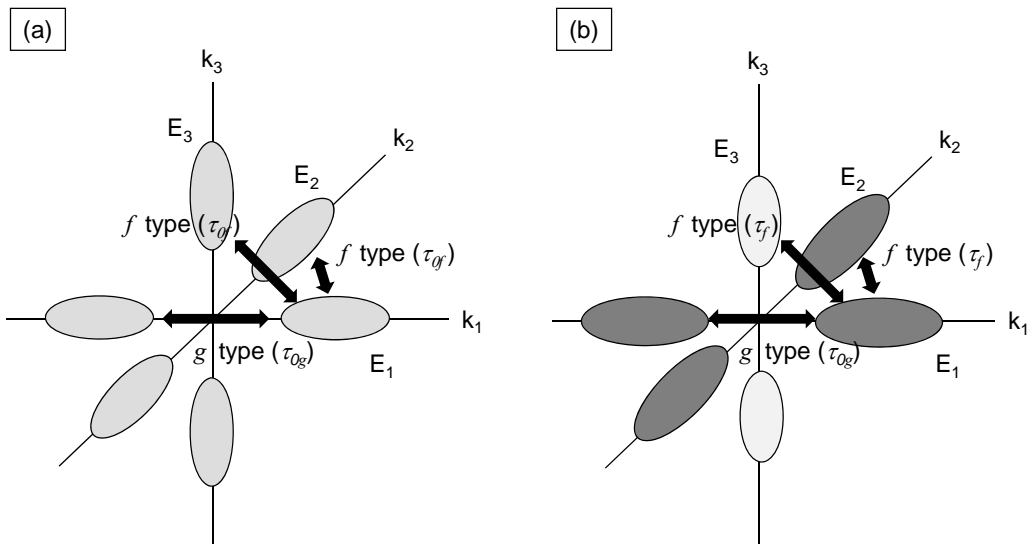


Fig. 5.4 Schematic diagram of scattering processes. (a) un-strain, (b) biaxial compressive stress.

5.3.3 応力効果を考慮した電子移動度モデルの定式化

本項では、5.3.1 項および 5.3.2 項で示したひずみによる電子存在確率および散乱確率の変化を与える式を用い、デバイスシミュレーションで用いるための応力効果を考慮した移動度モデルを示す。

本来、移動度は(5.3)式で示したとおりテンソルで与えられるが、ドリフト拡散シミュレーションでテンソル移動度を扱うのは計算の実行上困難であるため、スカラーの電流方向移動度を求める必要がある。また本研究では、デバイスシミュレーション上でひずみによる移動度変化を取り扱う際、ひずみの効果を考慮していない移動度に対する変化係数として与える。したがって以下では、まずひずみの効果を考慮した電流方向のスカラー移動度を定義し、ひずみが生じていない場合のスカラー移動度 μ (式(5.5)) に対する変化係数の形で、電子移動度モデルを定式化する。

はじめに、5.3.1 項で示した電子存在確率の変化にともなう移動度変化係数を定義する。本研究で用いた nMOSFET は電流方向が(001)面内であるため、ソース・ドレイン方向 (x 方向とする) と 1 軸がなす角を θ とすれば、3 軸周りの回転を与えるテンソル \mathbf{R} は次式(5.22)で与えられる。

$$\mathbf{R} = \begin{pmatrix} \cos\theta & -\sin\theta & 0 \\ \sin\theta & \cos\theta & 0 \\ 0 & 0 & 1 \end{pmatrix} \quad (5.22)$$

これを用いて次式(5.23)のとおり回転操作を行えば、(5.11)式で与えられた移動度は x 方向の移動度を与える式に変換される。

$$\begin{pmatrix} \mu_x \\ \mu_y \\ \mu_z \end{pmatrix} = \mathbf{R}^{-1} \begin{pmatrix} \nu_1\mu_L + \nu_2\mu_T + \nu_3\mu_T & 0 & 0 \\ 0 & \nu_1\mu_T + \nu_2\mu_L + \nu_3\mu_T & 0 \\ 0 & 0 & \nu_1\mu_T + \nu_2\mu_T + \nu_3\mu_L \end{pmatrix} \mathbf{R} \quad (5.23)$$

なお、y 方向を(001)面内で x 方向と垂直な方向、z 方向を(001)面外方向 (3 軸方向) とする。したがって、x 方向 (ソース・ドレイン方向) の電流 J_x が次式(5.24)で表される。

$$J_x = qn \left\{ (\nu_1\mu_L + \nu_2\mu_T + \nu_3\mu_T) \cos^2\theta + (\nu_1\mu_T + \nu_2\mu_L + \nu_3\mu_T) \sin^2\theta \right\} \partial_x\phi - \left\{ (\nu_1\mu_L + \nu_2\mu_T + \nu_3\mu_T) \sin\theta \cos\theta + (\nu_1\mu_T + \nu_2\mu_L + \nu_3\mu_T) \sin\theta \cos\theta \right\} \partial_y\phi \quad (5.24)$$

ここで本研究では、電子擬フェルミポテンシャルの勾配の向きと電流の向きが一致すると仮定した。すなわち、実際に電圧を印可するソース・ドレイン方向 (x 方向) では $\partial_x\phi$

が支配的であるため、 $\partial_y \phi = 0$ と見なした．これによって、

$$J_x = qn \left\{ (v_1 \mu_L + v_2 \mu_T + v_3 \mu_T) \cos^2 \theta + (v_1 \mu_T + v_2 \mu_L + v_3 \mu_T) \sin^2 \theta \right\} \partial_x \phi \quad (5.25)$$

となり、電流方向の移動度 μ_x が次式(5.26)で与えられる．

$$\mu_x = v_1 (\mu_L \cos^2 \theta + \mu_T \sin^2 \theta) + v_2 (\mu_T \cos^2 \theta + \mu_L \sin^2 \theta) + v_3 \mu_T \quad (5.26)$$

したがって、ひずみが生じていない場合の移動度に対する変化係数 $f_{str, pop}$ は、

$$\begin{aligned} f_{str, pop} &= \frac{\mu_x}{\mu} = \frac{v_1 (\mu_L \cos^2 \theta + \mu_T \sin^2 \theta) + v_2 (\mu_T \cos^2 \theta + \mu_L \sin^2 \theta) + v_3 \mu_T}{(\mu_L + 2\mu_T)/3} \\ &= v_1 c_1 + v_2 c_2 + v_3 c_3 \end{aligned} \quad (5.27)$$

で定義される．式(5.27)中の c_i は

$$c_1 = R_L \cos^2 \theta + R_T \sin^2 \theta \quad (5.28)$$

$$c_2 = R_T \cos^2 \theta + R_L \sin^2 \theta \quad (5.29)$$

$$c_3 = R_T \quad (5.30)$$

で与えられる．また、 R_L および R_T はそれぞれ

$$R_L = \frac{\mu_L}{\mu} = \frac{\mu_L}{(\mu_L + 2\mu_T)/3} = \frac{3}{1 + 2(m^*_L / m^*_T)} \quad (5.31)$$

$$R_T = \frac{\mu_T}{\mu} = \frac{\mu_T}{(\mu_L + 2\mu_T)/3} = \frac{3(m^*_L / m^*_T)}{1 + 2(m^*_L / m^*_T)} \quad (5.32)$$

である．なお、本研究で用いた nMOSFET では、ソース・ドレイン方向 (x 方向) が $\langle 110 \rangle$ 方向であるため $\theta = 45^\circ$ となる．以上から、ひずみによる各伝導バレー移動度の電流方向移動度への寄与の割合のみが変化した移動度 $\mu_{str, pop}$ は、

$$\mu_{str, pop} = \mu \cdot f_{str, pop} \quad (5.33)$$

で与えられる．この (5.33) 式で表される関係は、Egley らの移動度モデル[8]に対応している．ただし、本研究では幾つかの簡略化を施しているため具体的な表式において厳密には同一でない．

次に、電子存在確率の変化に加え、(5.17)式の関係を用いて電子散乱確率の変化も考慮した移動度変化係数を定義する．まず(5.14)式と(5.17)式から、ひずみが生じた後の i 軸上伝導バレーの電子が有する緩和時間の変化係数 $f_{\tau, i}$ は次式(5.34)で与えられる．

$$f_{\tau, i} = \frac{\tau_{str, i}}{\tau} = \frac{1 + \frac{\tau_{0g}}{\tau_{0f}}}{1 + \frac{\tau_{0g}}{\tau_{0f}} \cdot p_i} \quad (5.34)$$

この(5.34)式における τ_{0g}/τ_{0f} は、ひずみが生じていない状態での f 過程の緩和時間と g 過程の緩和時間の比であり、以下に示す関係[9]からその値を見積もった。(001) 面内に 2 軸引張りひずみが生じた場合を考えれば、図 5.3(d)とは逆に 4 重縮退バレーの基底サブバンドエネルギーが 2 重縮退バレーよりも高くなる。これが十分大きなひずみの場合、すなわち 4 重縮退バレーと 2 重縮退バレーのエネルギー差が十分大きな場合、2 重縮退バレーから 4 重縮退バレーへの散乱は抑制され、ほとんどの電子が 2 重縮退バレーを占有することになり、ひずみによる移動度の増加は飽和する。つまり、(001) 面内方向の飽和移動度 μ_{sat} が、2 重縮退バレーにおける主軸と垂直方向の移動度のみを考慮し、かつ、(5.14)式において $1/\tau_{0f} \approx 0$ すなわち $\tau = \tau_{0g}$ と見なして次式で与えられる。

$$\mu_{sat} = \frac{q\tau_{0g}}{m^*_T} \quad (5.35)$$

したがって、ひずみによる飽和移動度 μ_{sat} のひずみが生じていない状態の移動度 ((5.15) 式) に対する増加率 μ_{sat}/μ が

$$\frac{\mu_{sat}}{\mu} = \frac{m^*_c}{m^*_T} \left(1 + \frac{\tau_{0g}}{\tau_{0f}} \right) \quad (5.36)$$

で与えられる。 τ_{0g}/τ_{0f} を与える式に変形すれば、

$$\frac{\tau_{0g}}{\tau_{0f}} = \frac{\mu_{sat}}{\mu} \cdot \frac{m^*_T}{m^*_c} - 1 \quad (5.37)$$

が得られる。本研究では、文献[7]から (001) 面内の 2 軸引張りひずみによる飽和移動度の増加率 (μ_{sat}/μ) を 1.7 と見なし、(5.37)式を用いて τ_{0g}/τ_{0f} の値を決定した。具体的には $\tau_{0g}/\tau_{0f} = 0.25$ となり、この値を (5.34) 式に適用して i 軸上伝導バレーの電子が有する緩和時間の変化係数 $f_{\tau,i}$ を算出した。

以上から最終的に、電子存在確率および電子散乱確率の変化を考慮した移動度変化係数 $f_{str,tot}$ は、(5.27)式において(5.34)式を用いて各伝導バレーの緩和時間の変化を考慮することにより次式(5.38)で与えられる。

$$f_{str,tot} = \nu_1 c_1 \cdot f_{\tau,1} + \nu_2 c_2 \cdot f_{\tau,2} + \nu_3 c_3 \cdot f_{\tau,3} \quad (5.38)$$

したがって、ひずみの効果を考慮した電流方向の総体のスカラー移動度 $\mu_{str,tot}$ が、次式(5.39)を用いて得られる。

$$\mu_{str,tot} = \mu \cdot f_{str,tot} \quad (5.39)$$

なお、Dhar らのオリジナルモデル[9]では、(5.17)式において不純物による緩和時間の

変化を考慮しているが、本研究ではデバイスシミュレーション実施の際に別途考慮する。

次節では、(5.38)式を用いて算出される移動度変化率を実験結果と比較し、移動度モデルの妥当性を検証する。

5.4 実験結果との比較結果および考察

5.4.1 ゲートと水平な面内での2軸等負荷

本研究では、5.2.2 項で述べたとおり、ひずみに起因した各伝導バレーエネルギーの変化分のみを移動度変化におけるひずみによる影響分と見なす。本節では、第4章で評価した QFP 実装における残留応力（ひずみ）による移動度変化率を(5.38)式を用いて算出し、実験結果と比較した。すなわち具体的な応力値として、 $\sigma_{11}=\sigma_{22}=-77\text{MPa}$ または $\sigma_{11}=\sigma_{22}=-152\text{MPa}$ を適用した。その際、応力は Si の弾性コンプライアンス[15]を用いてひずみに変換した。これらの応力値に対し、(5.7)式を用いて各伝導バレーのエネルギー変化を算出し、(5.38)式を用いて移動度変化係数 $f_{str,tot}$ を求めた。その際、格子温度 T は 300K とした。

図 5.5 に、第4章で取り上げた $W/L = 24/24$ デバイスにおいて(5.38)式を用いて移動度変化率 $\Delta\mu/\mu$ (%) を算出した結果を示す。ここで移動度変化率 $\Delta\mu/\mu$ は次式(5.40)で定義される。

$$\frac{\Delta\mu}{\mu} = \frac{\mu_{str,tot} - \mu}{\mu} = f_{str,tot} - 1 \quad (5.40)$$

図 5.5 には、比較のため実験結果から求めた移動度変化率も同時に示している。この移動度変化率の実験結果は以下の手順[2]で求めた。既に述べたとおり、nMOSFET の線形領域におけるドレイン電流 I_{DS} は(3.1)式で表される。(3.1)式において負荷による nMOSFET の寸法変化が微小であるとして W , L , C_{ox} の変化を無視すれば、しきい値電圧の変動が計測されなかったことから次式(5.41)の関係が得られる。

$$\frac{\Delta I_{DS}}{I_{DS}} \approx \frac{\Delta\mu}{\mu} \quad (5.41)$$

ここで、 ΔI_{DS} はドレイン電流の応力による変動量である。図 5.5 に示す移動度変化率 $\Delta\mu/\mu$ の実験結果は、図 4.3(a)(b)に示したドレイン電流測定結果からドレイン電流の変動量 ΔI_{DS} を求め、(5.41)式の関係を用いて算出した。なお、実験結果における移動度変化

率はすべてゲート電圧 2V における値である．さらに図 5.5 には，(5.27)式で与えられる伝導バレー間の電子存在確率の相対的な偏差のみを電流方向の移動度変化に反映させたモデルで得られた移動度変化率もあわせて示す．

図 5.5 に示す結果から，応力効果として伝導バレー間の電子存在確率の相対的な偏差のみを考慮したモデル ((5.27)式)，電子存在確率の変化に加えて各伝導バレーに存在する電子の散乱確率の変化も考慮したモデル ((5.38)式)，これら何れのモデルにより算出された応力による移動度変化も実験結果と定性的に一致することがわかった．また，電子の散乱確率の変化を考慮することにより，考慮しない場合に比較して応力に対する移動度の変化は大きくなり，実験結果に対して定量的に近づく傾向であることがわかった．この結果は，Si 結晶に生じたひずみが，主に電子の存在確率および散乱確率の変化を引き起こすという指摘[7]と一致する．一方で，定量的には実験結果と差が生じており，移動度モデルで算出される移動度変化率が実験結果のおよそ半分となった．本研究で示した移動度モデルでは，変形ポテンシャル定数の値やフォノンエネルギーの値をパラメータとし，図 5.5 に示す結果はこれらのパラメータ値として文献値を用いている．変形ポテンシャルやフォノンエネルギーについては数多くの報告があり，変形ポテンシャルの値についてその計算方法が確立している一方，その計算結果は計算に用いるパラメータに依存しており確定していないと認識されている[16]．

そこで本研究では，定性的には移動度モデルが実験結果を良く再現していることから，変形ポテンシャル定数 Ξ_u の値をフィッティングパラメータとし， Ξ_u の値を変化させて算出される移動度変化率を実験結果と比較した．具体的には，図 5.5 に示す結果の算出に用いた Ξ_u の文献値 (10.5eV) [13]の 1.5 倍および 2 倍の値を用いて移動度変化率を算出した．それらの結果を，実験結果と比較して図 5.6 に示す．図 5.6 に示す結果から， $\Xi_u = 21\text{eV}$ とした結果は定量的にも実験結果と良く一致しており，本研究で示した移動度モデルを用いて実験結果を再現できることがわかった．

以上の結果から，本研究で示した移動度モデルは，実際の電子パッケージの実装工程で生じたゲート水平面内での 2 軸等負荷に対して，その負荷に起因した移動度変化率を評価するモデルとして妥当であると考えられる．しかしながら，モデルに用いる物理パラメータ値については，さらなる検証を要する．

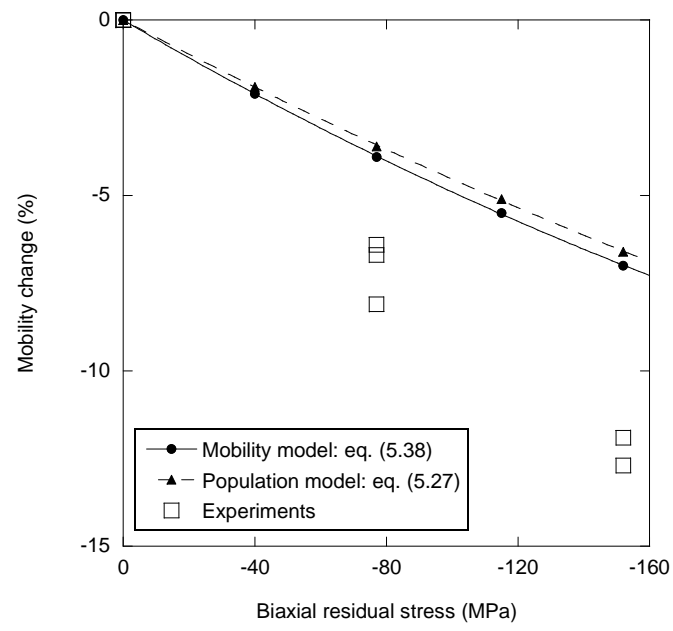


Fig. 5.5 Comparison with experimental results and electron mobility model.

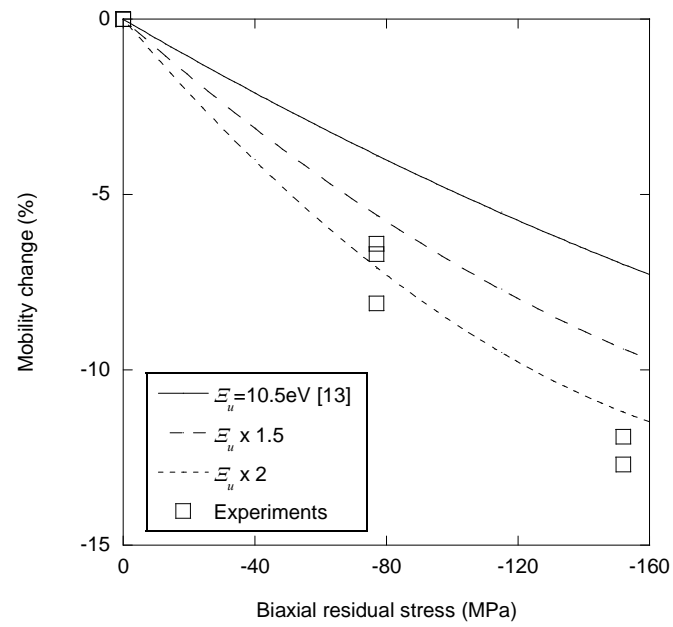


Fig. 5.6 Variation of mobility change with deformation potential Ξ_u .

5.4.2 電流方向と平行および垂直方向への1軸負荷

本項では、第3章で評価を行った1軸負荷における移動度変化について、移動度モデルと実験結果を比較して考察する。

まず<100>軸方向への単軸負荷を考えれば、Siの弾性コンプライアンスの対称性から $\varepsilon_{11} \neq \varepsilon_{22} = \varepsilon_{33}$ であり、したがって(5.7)式より $\Delta E_1 \neq \Delta E_2 = \Delta E_3$ となり、等エネルギー面の変化は模式的に図5.7(a)のように表される。図中、負荷後の等エネルギー面の変化を実線で表している。また、各主軸におけるバレーのうち、それぞれ一方のみを図示している。次に、第3章で実施した4点曲げ負荷実験と同様に<110>方向（すなわち電流方向）への単軸負荷を考えれば、 $\varepsilon_{11} = \varepsilon_{22} \neq \varepsilon_{33}$ であることから(5.7)式より $\Delta E_1 = \Delta E_2 \neq \Delta E_3$ となり、等エネルギー面の変化は図5.7(b)のように模式的に表されることになる。つまりこの場合、本研究で示した移動度モデルでは電流方向への負荷によって電流方向の移動度変化もそれと垂直方向の移動度変化も同じとなり、第3章（図3.5）で示した負荷方向により応力感度に違いが生じる実験結果に反する。この1軸応力感度における負荷方向依存性については、1軸負荷においては各伝導バレーに存在する電子の有効質量が変化することの指摘がある[17]。また、3軸上バレーの変化の異方性を考慮したピエゾ効果モデルも検討されている[18]。しかし現状では、1軸応力感度における負荷方向依存性の物理モデルは明確ではなく、1軸負荷の効果を定性的に評価できる移動度モデルの構築が今後の検討課題として残されている。

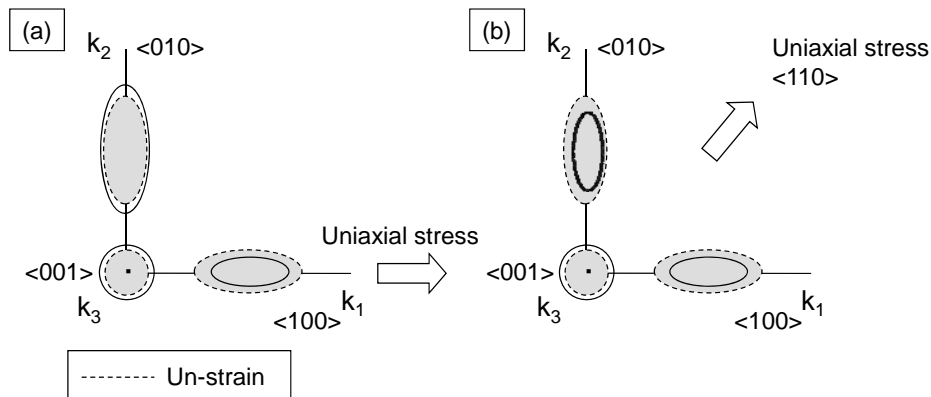


Fig. 5.7 Schematic diagram of stress effects in valleys for n-silicon. (a) <100> uniaxial stress, (b) <110> uniaxial stress.

5.5 結言

本章では、デバイスシミュレータへの実装を念頭にした応力（ひずみ）効果を考慮した移動度モデルを示した。この移動度モデルを用いて算出される移動度変化率を実験結果と比較し、モデルの妥当性を検証した。本章で得られた結果を以下に要約する。

- (1) 応力効果としてひずみによる各伝導バレーの電子存在確率の変化に加えて各伝導バレー間の電子散乱確率の変化を考慮した移動度モデルでは、電子存在確率の変化のみを考慮したモデルに比較して応力の効果は大きくなる。
- (2) 応力効果としてひずみによる各伝導バレーの電子存在確率の変化と電子散乱確率の変化を考慮した移動度モデルにより、実験結果から得られる応力に起因した移動度変化を再現できる。
- (3) 1 軸負荷における移動度変化については、その物理現象の反映においてさらに移動度モデルの検討を要する。

第 6 章においては、本章で示した応力効果を考慮した電子移動度モデルを用いてデバイスシミュレーションを実施し、第 4 章で得られた実験結果を評価して移動度モデルおよびシミュレーションモデルの妥当性、有用性を検証する。

第5章の参考文献

- [1] 三浦英生, 西村朝雄, “パッケージング応力起因の半導体素子特性変動”, 日本機械学会論文集, A 編, Vol.61, No.589, pp.1957-1964, 1995.
- [2] A.T. Bradley, R.C. Jaeger, J.C. Suhling and K.J. O'Connor, “Piezoresistive characteristics of short-channel MOSFETs on (100) silicon”, IEEE Transactions on Electron Devices, Vol.48, No.9, pp.2009-2015, 2001.
- [3] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi and R. Gwoziecki, “Electrical analysis of external mechanical stress effects in short channel MOSFETS on (001) silicon”, Solid-State Electronics, Vol.48, pp.561-566, 2004.
- [4] 熊谷幸博, 太田裕之, 三浦英生, 清水昭博, 蒲原史朗, 前川径一, “ディープサブミクロン MOSFET の応力起因ドレイン電流変動評価手法の開発”, 日本機械学会論文集, A 編, Vol.72, No.713, pp.47-54, 2006.
- [5] C.M. Snowden, Introduction to semiconductor device modeling, World Scientific, 1986.
- [6] 富澤一隆, 半導体デバイスシミュレーション, コロナ社, 1996.
- [7] 高木信一, “Si 系高移動度 MOS トランジスタ技術”, 応用物理, Vol.74, No.9, pp.1158-1170, 2005.
- [8] J.L. Egley and D. Chidambarrao, “Strain effects on device characteristics: implementation in drift-diffusion simulators”, Solid-State Electronics, Vol.36, No.12, pp.1653-1664, 1993.
- [9] S. Dhar, H. Kosina, V. Palankovski, S.E. Ungersboeck and S. Selberherr, “Electron mobility model for strained-Si devices”, IEEE Transactions on Electron Devices, Vol.52, No.4, pp.527-533, 2005.
- [10] K. Seeger, Semiconductor physics, Springer-Verlag, 4th ed., 1989.
- [11] S. Takagi, J.L. Hoyt, J.J. Welser and J.F. Gibbons, “Comparative study of

- phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field-effect transistors”, *Journal of Applied Physics*, Vol.80, No.3, pp.1567-1577, 1996.
- [12] C. Herring and E. Vogt, “Transport and deformation-potential theory for many-valley semiconductors with anisotropic scattering”, *Physical Review*, Vol.101, No.3, pp.944-961, 1956.
- [13] M.V. Fischetti and S.E. Laux, “Band structure, deformation potential, and carrier mobility in strained Si, Ge, and SiGe alloys”, *Journal of Applied Physics*, Vol.80, No.4, pp.2234-2252, 1996.
- [14] V. Moroz, N. Strecker, X. Xu, L. Smith, and I. Bork, “Modeling the impact of stress on silicon processes and devices”, *Material Science in Semiconductor Processing*, Vol.6, pp.27-36, 2003.
- [15] J.J. Wortman and R.A. Evans, “Young’s modulus, shear Modulus, and Poisson’s ratio in silicon and germanium”, *Journal of Applied Physics*, Vol.36, No.1, pp.153-156, 1965.
- [16] 浜口智尋, 半導体物理, 朝倉書店, pp.209-211, 2001.
- [17] K. Uchida, T. Krishnamohan, K.C. Saraswat and Y. Nishi, “Physical mechanisms of electron mobility enhancement in uniaxial stressed MOSFETs and impact of uniaxial stress engineering in ballistic regime”, *International Electron Devices Meeting*, pp.135-138, 2005.
- [18] Y. Kanda and K. Suzuki, “Origin of the shear piezoresistance coefficient π_{44} of n-type silicon”, *Physical Review B*, Vol.43, No.8, pp.6754-6756, 1991.

第 6 章

実装応力に起因した nMOSFET の電気特性変動シミュレーション

6.1 緒言

本研究の最終的な目標は、実装応力に起因する nMOSFET の電気特性変動を定量的、汎用的に評価できる手法の構築であり、そのためにデバイスシミュレーションの援用が有用であることは既に述べた。応力効果の評価におけるデバイスシミュレーションの利用は、第 5 章で述べたとおり Egley と Chidambarao らが応力効果を考慮したキャリア移動度モデルを提案し、このモデルを用いたデバイスシミュレーションにより npn トランジスタの評価を実施している[1]。しかし第 5 章で指摘したとおり、Egley らのモデルでは実際の物理現象を十分に反映しているとは言い難い。さらに現状では、応力に起因したデバイスの電気特性変動に関して、実験による評価[2-15]に比較してデバイスシミュレーションによる評価例はほとんど見あたらず、実用的な研究がなされているとは言い難い。したがって、評価手法の構築のためには、さらなるシミュレーションモデルの検討および実デバイスへの適用と検証、評価結果の蓄積が必要である。

本論文ではこれまで、第 3 章で nMOSFET の応力に対する DC 特性の基本的な挙動（応力感度）を評価し、第 4 章で実際の実装応力に起因した DC 特性変動を評価した。また第 5 章では、デバイスシミュレーションで用いるための応力の影響を反映する電子移動度モデルを示した。本章ではこれらの結果を踏まえ、応力に起因した nMOSFET の電気特性変動デバイスシミュレーションを実施する。すなわち、第 5 章で示した応力

効果を考慮した移動度モデルを用いてデバイスシミュレーションを実施し、実験結果と比較することによって移動度モデルを含めたシミュレーション手法の妥当性を検証することを目的とした。具体的には、第 4 章で実験結果を示した実装応力による nMOSFET の DC 特性変動をシミュレーションする。

6.2 デバイスシミュレーションモデル

6.2.1 ドリフト拡散モデル

本研究では、ドリフト拡散モデル[16,17]に基づくデバイスシミュレーションを実施した。ドリフト拡散モデルでは、キャリア（電子、正孔）の挙動を流体近似することによりデバイスの電氣的応答をシミュレーションする。すなわち、以下に示すポアソン方程式、電流連続方程式および電流密度方程式からなる基本方程式を、数値解析ソルバー（すなわちデバイスシミュレータ）を用いて自己無撞着的に解く。

（ポアソン方程式）

$$-\nabla^2\psi = \frac{q}{e}(N_D - n + p - N_A) \quad (6.1)$$

（電子電流連続方程式）

$$\frac{\partial n}{\partial t} = \frac{1}{q}\nabla\mathbf{J}_n - G \quad (6.2)$$

（電子電流密度方程式）

$$\mathbf{J}_n = qn\mu_n\mathbf{E} + qD_n\nabla n \quad (6.3)$$

なお、本研究では nMOSFET のシミュレーションを実施するため、連続方程式および密度方程式に関しては電子に関する式のみを示している。式中、 ψ は静電ポテンシャル、 q は電荷、 e は誘電率である。また、 N_D および N_A はそれぞれドナー濃度とアクセプタ濃度、 n および p はそれぞれ電子濃度と正孔濃度である。 \mathbf{J}_n は電子電流、 G はキャリア生成再結合速度であり、 \mathbf{E} および D_n はそれぞれ電界と電子の拡散係数である。(6.3)式中の μ_n が（電子）移動度であり、応力（ひずみ）の効果はこの移動度に反映される。すなわち、第 5 章で示した電子移動度モデルを用いて応力による移動度変化係数を算出し、デバイスシミュレーション実行時に入力パラメータとして与えた。

本研究では、デバイスシミュレータとして市販の HyDeLEOSTM（株）半導体先端テ

クノロジーズ製)を用いた。このデバイスシミュレータでは、有限体積法により離散化されたドリフト拡散モデルの連立方程式を解く。

6.2.2 解析モデルおよび条件

本研究では、第4章の実験で用いた $W/L=24/24$ デバイスを対象にしてシミュレーションを実施した。なお、 W/L は第3章で定義したデバイスを区別するための $W(\mu\text{m})$: ゲート幅と $L(\mu\text{m})$: ゲート長さ組み合わせ表記である。デバイスシミュレーションモデルとして、図6.1に模式的に示す2次元モデルを作製した。具体的には、シリコン基板、ゲート酸化膜、ゲートポリシリコンを形状としてモデル化した。図6.2に要素分割図を示す。要素分割の際、電流密度が大きくなる LDD (Lightly Doped Drain) 領域の分割密度を大きくした。図6.2には、LDD 領域を拡大して示している。総節点数は 55125 である。

デバイスシミュレーションモデルに適用した不純物濃度分布を図6.3に示す。図6.3では、図6.3(a)に示す位置(図中の Line 1~4)での不純物濃度を図6.3(b)(c)(d)および(e)に示している。本研究で用いた不純物濃度分布は、プロセスシミュレーションによって得られた不純物濃度分布を簡略化している。なお、プロセスシミュレーションによる不純物濃度分布は、デバイスメーカーより提供を受けた。

本研究で実施したデバイスシミュレーションでは、応力効果以外に起因する移動度変化も考慮した。本研究で使用した HyDeLEOSTM には、フォノン散乱の影響による移動度変化(格子温度依存性)、クーロン散乱の影響による移動度変化(不純物濃度依存性)、シリコン・酸化膜界面での表面ラフネス散乱等の影響による移動度変化(垂直方向電界依存性)およびチャネルに水平な方向の電界によるキャリアのドリフト速度の飽和を考慮した移動度変化(水平方向電界依存性)が移動度モデルとして実装されている[18]。本研究では、(1)格子温度依存モデルとして LatticeScatt モデル[19]、(2)不純物濃度依存モデルとして MujtabaCoulomb モデル[20]、(3)垂直電界依存モデルとして Shin モデル[21]および(4)水平電界依存モデルとして Scharfetter モデル[22]をそれぞれ用いた。格子温度は 300K とした。これにより、実効電界に依存した移動度の変化[13]等は考慮されることになる。また、第5章で示した応力効果を考慮するための移動度モデルでは、Dhar らのモデル[23]で考慮されている不純物による緩和時間変化を省いたが、本章で実施するデバイスシミュレーション上では(2)により考慮される。

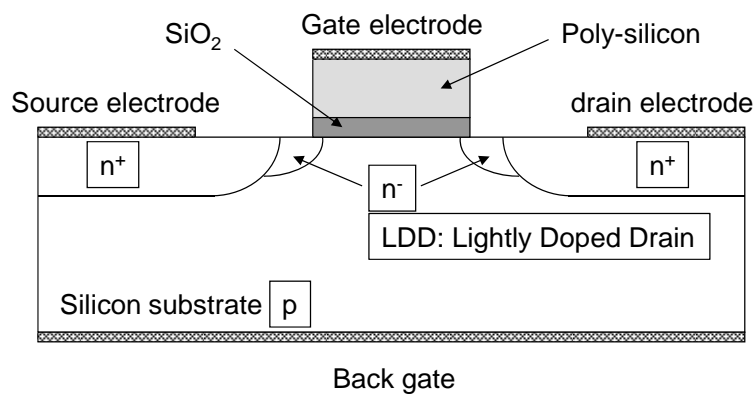


Fig. 6.1 Schematic diagram of 2-dimensional device simulation model.

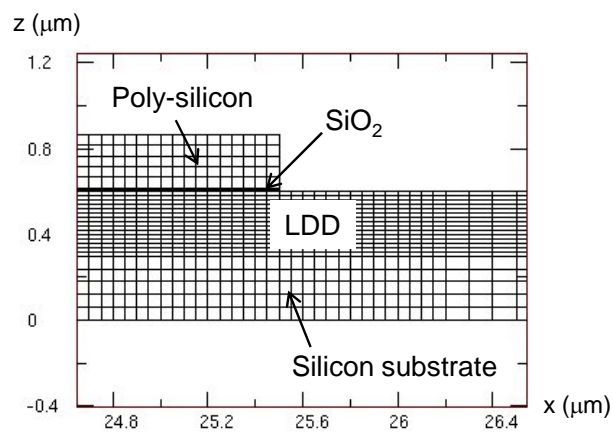


Fig. 6.2 Finite volume model for device simulation (enlarged view of LDD region).

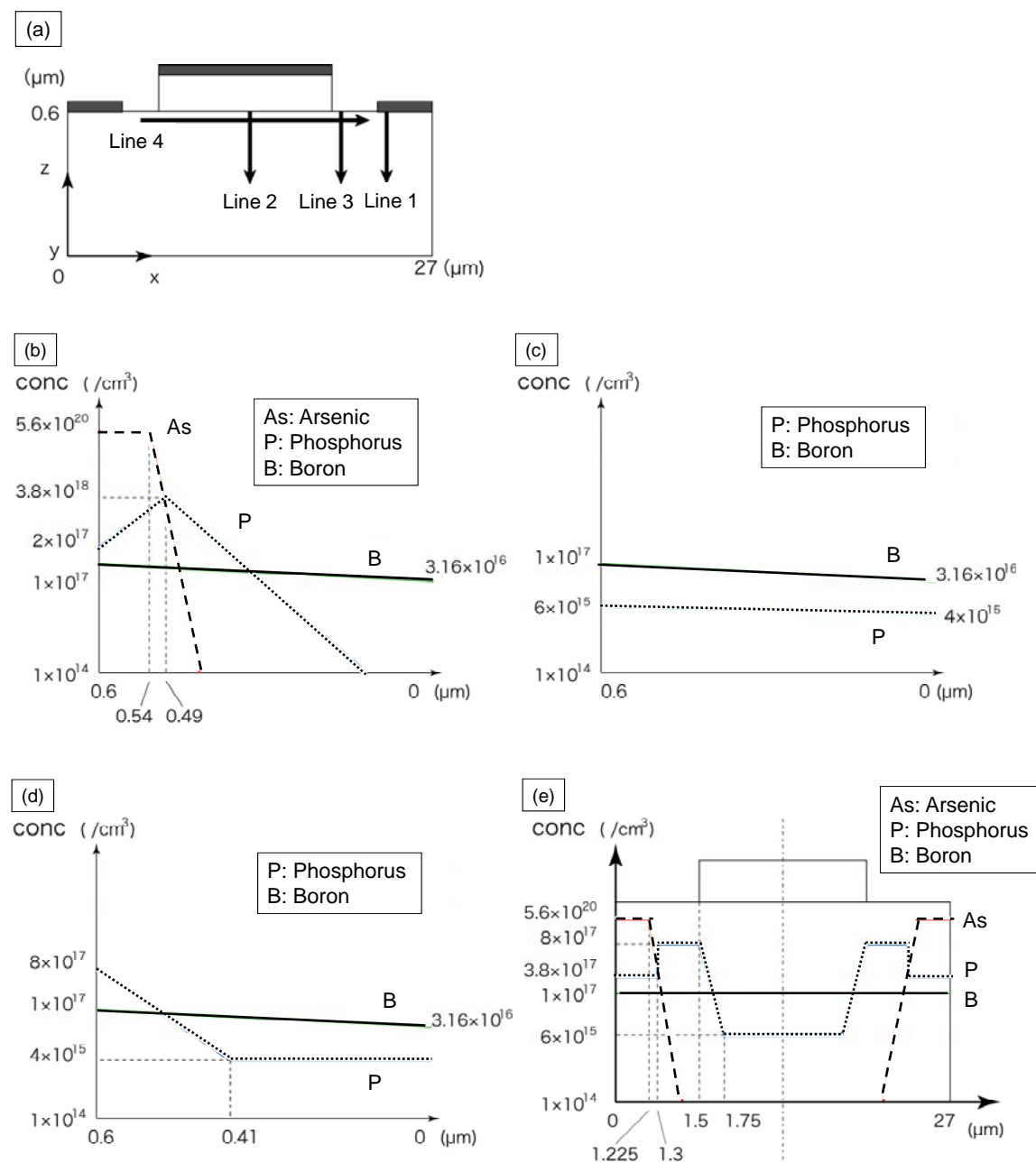


Fig. 6.3 Impurity concentration in nMOSFET. (a) Measurement regions of impurity concentration, (b) Along line 1 in (a), (c) Along line 2 in (a), (d) Along line 3 in (a), (e) Along line 4 in (a).

応力効果として、図 6.1 の Si 基板部分に第 4 章の QFP 実装実験に対応する一様な応力（公称応力）の効果を与えた．具体的には，ゲートに水平な面内（x-y 面内）方向の応力値（ σ_{xx} および σ_{yy} ）として， $\sigma_{xx} = \sigma_{yy} = -77\text{MPa}$ または $\sigma_{xx} = \sigma_{yy} = -152\text{MPa}$ の値を用い，応力効果移動度モデル（(5.38)式）を用いて移動度変化係数 $f_{str, tot}$ を算出した．その際，物理パラメータとして表 6.1 に示す値を用いた．算出した移動度変化係数 $f_{str, tot}$ を上述(1)～(4)が考慮された移動度（モデル上の k 番目の節点での値を μ_k とする）に乗じることにより，デバイスシミュレーション上で用いられる最終的な実効移動度を得た．すなわち，モデル上の k 番目の節点においてデバイスシミュレーション上で最終的に用いられる実効移動度を $\mu_{eff, k}$ とすれば， $\mu_{eff, k}$ は次式(6.4)で与えられる．

$$\mu_{eff, k} = \mu_k \cdot f_{str, tot} \quad (6.4)$$

実際の取り扱いでは，移動度変化係数 $f_{str, tot}$ を別途算出し，デバイスシミュレーション実行時に μ_k に乗じられる入力パラメータとして与えた．

電氣的境界条件としては，ソース電極，ドレイン電極，ゲート電極およびバックゲートに第 4 章の電気特性変動計測実験と同様の条件を施した．具体的には，ソース電極とドレイン電極間を 0.1V に固定し，バックゲートを地接（0V）した．ゲート電圧を 0V から 5V まで掃引し，ドレイン電流の変化をシミュレーションした．

Table 6.1 Input parameters for device simulation.

Deformation potential, Ξ_u	21 eV
Phonon energy, $\hbar\omega_{opt}$	61.2 meV [24]
τ_{0g} / τ_{0f}	0.25

6.3 シミュレーション結果および考察

図 6.4 には、デバイスシミュレーションの結果としてドレイン電流の変化を示す。まず、無負荷での結果について第 4 章の図 4.3 に示した実験結果と比較すると、しきい値電圧の値はほぼ一致している。ドレイン電流値は、シミュレーション結果の方が実験結果よりも多少大きくなったが、実際のデバイスが有する個体差を考慮すれば十分な精度で一致している。次に、応力によるドレイン電流変化のシミュレーション結果では、今回入力したゲート水平面内の 2 軸圧縮応力によりドレイン電流が減少し、圧縮応力が大きくなるほどドレイン電流の減少が大きくなった。さらに、しきい値電圧の変動は見られなかった。すなわちこれらの結果も、実験結果（第 4 章の図 4.3）と一致している。図 6.5 には、 G_m （相互コンダクタンス）変化率のデバイスシミュレーション結果を実験結果（第 4 章の図 4.4）と比較して示す。 G_m 値のシミュレーション結果は、実験結果と同様にドレイン電流曲線（図 6.4）におけるゲート電圧 2V での接線の傾きとして算出した。図 6.5 に示すとおり、 G_m 変化率のシミュレーション結果と実験結果は良く一致した。 G_m 変化率を定量的に見ると、実験結果も含めて第 5 章の図 5.6 で示した移動度変化率とほぼ同じであった。すなわち、本研究で用いた nMOSFET では、応力による G_m 変化率の変動は応力による移動度変動を定量的に反映すると考えられる。以上、応力効果を考慮した移動度モデルを用いてデバイスシミュレーションを実施し、第 4 章で示した範囲の実験結果をシミュレーションできることを示した。

本研究で実施したデバイスシミュレーションでは、シミュレーション実行時に使用される移動度（実効移動度 $\mu_{eff,k}$ ）はモデル節点で異なるが、デバイス中の応力分布を一樣と仮定しているため、加味されている応力効果（移動度変化係数 $f_{str,tot}$ ）は節点によらず一定である。本研究で評価したデバイスでは、第 3 章で考察したとおり一樣な公称応力に電気特性変動を対応させても妥当であると考えられるが、さらに微細なデバイスでは、微細構造に起因した応力分布の効果が無視できなくなると考えられる。したがって、微細デバイスの評価には、その微細構造に起因した応力分布を有限要素法解析等により見積もり、デバイスシミュレーション上で考慮できる手法が必要であると考えられる。その際、今回は比較的簡単な 2 次元のデバイスシミュレーションモデルを用いているが、プロセスシミュレータ等を用いて 3 次元のシミュレーションモデルを作製する必要も

あると考えられる．このようなシミュレーション手法の高度化は，第3章の実験で得られた応力感度のデバイス形状依存性等のメカニズム解明に有用であると考えられる．また，本研究の評価は実装時の残留応力を念頭に置いており，実験およびシミュレーションともにデバイス形成後の状態を応力ゼロ，すなわち特性変動ゼロの基準にしている．したがって，第1章の図1.3に示したようなプロセス時の酸化膜形成等に起因した真性応力（Intrinsic stress）による特性変動は考慮していない．しかしながら，何らかの方法でプロセス時に発生する残留応力を見積もることができれば，その応力値を入力データとすることで同様の手法によりプロセス時の特性変動評価が可能となる．この評価スキームは，現在研究開発が活発に行われている‘歪み’Siのデバイス設計，評価にも用いることができる．

以上に鑑みれば，デバイスシミュレーションを用いた応力効果のデバイス特性変動評価手法は応用範囲が広く，工学的に有用な評価手法であると考えられ，今後さらに多くの実デバイスへのシミュレーションの適用とシミュレーション手法の検証が望まれる．

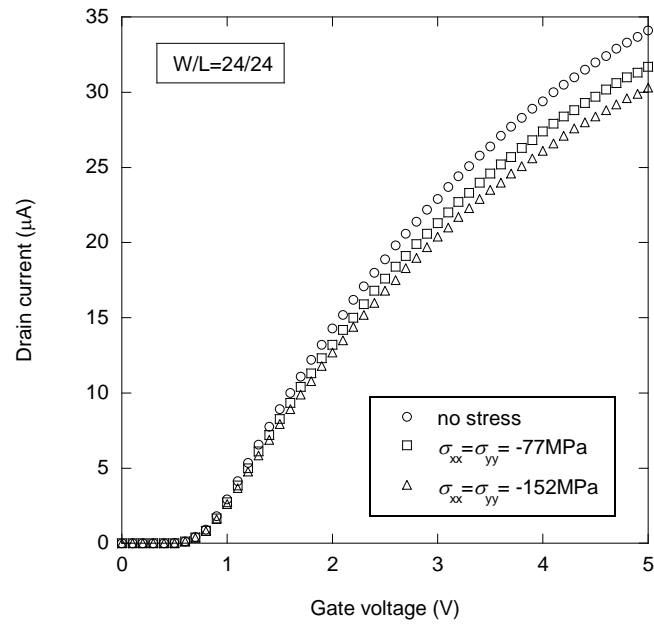


Fig. 6.4 Results of drain current shift under stress obtained from device simulation.

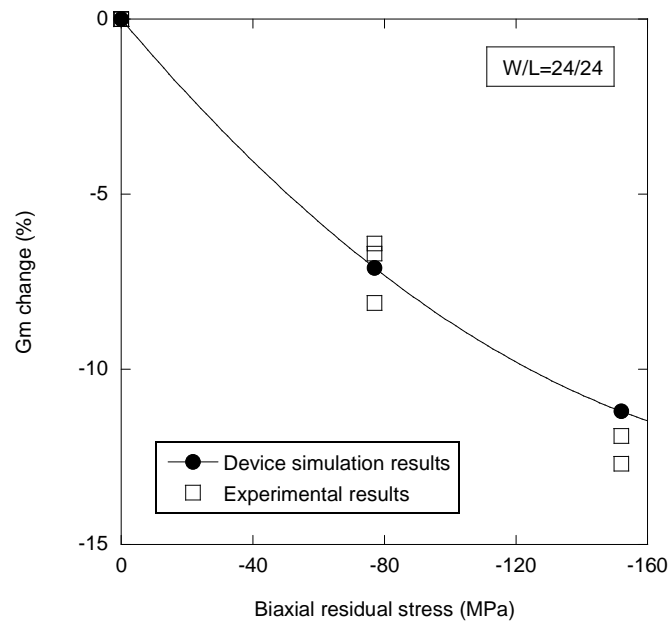


Fig. 6.5 Results of Gm change induced by stress obtained from device simulation.

6.4 結言

本章では, 第5章で示した応力効果を考慮した電子移動度モデルを用いてデバイスシミュレーションを実施した. シミュレーション結果と実験結果を比較し, 移動度モデルの妥当性とデバイスシミュレーションを用いた nMOSFET の実装応力に起因する DC 特性変動評価手法の有用性を検証した. 本章で得られた結果を以下に要約する.

- (1) 本章で用いたデバイスシミュレーションモデルは, 無負荷の状態での DC 特性 (ドレイン電流) を実用的に十分な精度で再現する.
- (2) 本研究で構築した応力効果を考慮したデバイスシミュレーション手法により, 実装時の残留応力に起因するドレイン電流の変動, しきい値電圧の挙動および相互コンダクタンスの変動をシミュレーションできる.
- (3) 本研究で用いた nMOSFET では, 応力による相互コンダクタンスの変動量は移動度の変動量を定量的に反映している.

今後は, デバイスの微細構造に起因した応力分布の考慮等のシミュレーション手法の高度化を図り, 評価精度および汎用性を向上させたいと考えている.

第6章の参考文献

- [1] J.L. Egley and D. Chidambarrao, “Strain effects on device characteristics: implementation in drift-diffusion simulators”, *Solid-State Electronics*, Vol.36, No.12, pp.1653-1664, 1993.
- [2] A. Hamada, T. Furusawa, N. Saito and E. Takeda, “A new aspect of mechanical stress effects in scaled MOS devices”, *IEEE Transactions on Electron Devices*, Vol.38, No.4, pp.895-900, 1991.
- [3] 三浦英生, 西村朝雄, “パッケージング応力起因の半導体素子特性変動”, 日本機械学会論文集, A編, Vol.61, No.589, pp.1957-1964, 1995.
- [4] C.L. Huang, H.R. Soleimani, G.J. Grula, J.W. Sleight, A. Villani, H. Ali and D.A. Antoniadis, “LOCOS-induced stress effects on thin-film SOI devices”, *IEEE Transactions on Electron Devices*, Vol.44, No.4, pp.646-650, 1997.
- [5] H. Ali, “Stress-induced parametric shift in plastic packaged devices”, *IEEE Transactions on Components, Packaging, and Manufacturing Technology*, Vol.20, Part B, No.4, pp.458-462, 1997.
- [6] A.T. Bradley, R.C. Jaeger, J.C. Suhling and K.J. O'Connor, “Piezoresistive characteristics of short-channel MOSFETs on (100) silicon”, *IEEE Transactions on Electron Devices*, Vol.48, No.9, pp.2009-2015, 2001.
- [7] N. Watanabe and T. Asano, “Influence of direct Au-bump formation on metal oxide semiconductor field effect transistor”, *Japan Journal of Applied Physics*, Vol.41, Part 1, No.4B, pp.2714-2719, 2002.
- [8] W. Zhao, J. He, R.E. Belford, L.E. Wernersson and A. Seabaugh, “Partially depleted SOI MOSFETs under uniaxial tensile strain”, *IEEE Transactions on Electron Devices*, Vol.51, No.3, pp.317-323, 2004.
- [9] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi, R. Gwoziecki, S. Orain, E. Robilliart, C. Raynaud and H. Dansas, “Electrical analysis of mechanical stress induced by STI in short MOSFETs using externally applied stress”,

- IEEE Transactions on Electron Devices, Vol.51, No.8, pp.1254-1261, 2004.
- [10] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi and R. Gwoziecki, “Electrical analysis of external mechanical stress effects in short channel MOSFETs on (001) silicon”, Solid-State Electronics, Vol.48, pp.561-566, 2004.
- [11] S.E. Thompson, G. Sun, K. Wu, J. Lim and T. Nishida, “Key differences for process-induced uniaxial vs. substrate induced biaxial stressed Si and Ge channel MOSFETs”, International Electron Devices Meeting, pp.221-224, 2004.
- [12] H. Irie, K. Kita, K. Kyuno and A. Toriumi, “In-plane mobility anisotropy and universality under uni-axial strains in n- and p-MOS inversion layers on (100), (110), and (111) Si”, International Electron Devices Meeting, pp.225-228, 2004.
- [13] K. Uchida, R. Zednik, C.H. Lu, H. Jagannathan, J. McVittie, P.C. McIntyre and Y. Nishi, “Experimental study of biaxial and uniaxial strain effects on carrier mobility in bulk and ultrathin-body SOI MOSFETs”, International Electron Devices Meeting, pp.229-232, 2004.
- [14] K. Uchida, T. Krishnamohan, K.C. Saraswat and Y. Nishi, “Physical mechanisms of electron mobility enhancement in uniaxial stressed MOSFETs and impact of uniaxial stress engineering in ballistic regime”, International Electron Devices Meeting, pp.135-138, 2005.
- [15] 熊谷幸博, 太田裕之, 三浦英生, 清水昭博, 蒲原史朗, 前川径一, “ディープサブミクロン MOSFET の応力起因ドレイン電流変動評価手法の開発”, 日本機械学会論文集, A 編, Vol.72, No.713, pp.47-54, 2006.
- [16] C.M. Snowden, Introduction to semiconductor device modeling, World Scientific, 1986.
- [17] 富澤一隆, 半導体デバイスシミュレーション, コロナ社, 1996.
- [18] ㈱半導体先端テクノロジーズ, 3次元デバイスシミュレータ HyDeLEOS ver.3.1 ユーザーズマニュアル, 2000.
- [19] S.M. Sze, Physics of semiconductor devices, John Willey & Sons, Inc., 2nd ed.,

- 1981.
- [20] S.A. Mujtaba, “Advanced mobility models for design and simulation of deep submicrometer MOSFETs”, Ph.D dissertation, Stanford University, 1995.
- [21] H. Shin, A.F. Tasch, JR., C. M. Maziar and S.K. Banerjee, “A new approach to verify and derive a transverse-field-dependent mobility model for electrons in MOS inversion layers”, IEEE Transactions on Electron Devices, Vol.36, No.6, pp.1117-1124, 1989.
- [22] D.L. Scharfetter and H.K. Gummel, “Large-signal analysis of a silicon read diode oscillator”, IEEE Transactions on Electron Devices, ED-16, No.1, pp.64-77, 1969.
- [23] S. Dhar, H. Kosina, V. Palankovski, S.E. Ungersboeck and S. Selberherr, “Electron mobility model for strained-Si devices”, IEEE Transactions on Electron Devices, Vol.52, No.4, pp.527-533, 2005.
- [24] M.V. Fischetti and S.E. Laux, “Band structure, deformation potential, and carrier mobility in strained Si, Ge, and SiGe alloys”, Journal of Applied Physics, Vol.80, No.4, pp.2234-2252, 1996.

第 7 章

結 論

本論文では、実装応力に起因する半導体デバイスの電気特性変動を評価する手法の構築を目的に、実装時の残留応力簡易評価手法、応力に対する半導体デバイス（nMOSFET）の基本挙動およびその計測・評価方法、応力効果を評価するためのデバイスシミュレーションモデルを示した。以下に、本研究で得られた結果、知見を示し、本論文の結論とする。

第 2 章では、ピエゾ抵抗効果を利用したテストチップによる計測と有限要素法熱弾性解析を組み合わせた方法により、樹脂封止工程で Si チップ表面上に生じる残留応力を樹脂の粘弾性材料特性や硬化収縮過程を考慮する解析に比較して簡便で、かつ、Si チップ上の残留応力に起因する半導体デバイスの特性変動を評価する上で十分な精度を有する評価手法を示した。本評価手法では、解析結果に最も影響を及ぼすと考えられる樹脂の材料特性を実測し、線形熱弾性解析における応力ゼロの基準温度（応力フリー温度）を、残留応力の温度依存性実測結果から決定した。これによって、封止樹脂を線形弾性体と仮定し、樹脂の粘弾性材料特性や硬化収縮過程を取り扱わない簡便なモデル（線型モデル）を用いることができる。本評価手法の妥当性を検証するため、樹脂封止型電子パッケージの例として QFP を対象にし、その樹脂封止工程で Si チップ表面上に生じる残留応力を評価し、テストチップによる計測結果と比較した。本手法を用いた解析結果とテストチップによる実測結果を比較検証したところ、実測される結果を 10~20MPa（相対誤差約 20%以内）で評価することができた。本章で示した手法は、評価に十分なコストをかけられない実際の設計・製造現場で有用な手法と考えられ、残

留応力に起因したデバイス特性変動を評価する際に必要な半導体チップ表面上の応力分布評価に用いることができる。

第3章では、4点曲げ試験により半導体デバイスに応力を負荷した状態でそのDC特性を計測する試験システムを構築し、nMOSFETにおいて1軸の引張りまたは圧縮の応力下でのトランジスタ特性の変動を評価した。その結果、nMOSFETのドレイン電流および相互コンダクタンスは、1軸引張り負荷で増加、圧縮負荷で減少した。本研究で用いたnMOSFETの場合、変動量は100MPaで数%であった。また、しきい値電圧の変動は見られなかった。nMOSFETの応力感度には電流方向に対する負荷方向依存性が存在し、電流方向と負荷方向が平行な場合の方が垂直な場合に比較して応力感度が大きくなった。実測される相互コンダクタンスの応力感度にはゲート長さ依存性が存在し、ゲート長さが短く(10 μ m程度以下)になると応力感度が小さくなった。さらに、nMOSFETの応力感度に影響を及ぼす因子の検討を行った。すなわち、簡易的にnMOSFETの寄生抵抗値を評価する手法を示し、寄生抵抗が応力感度に及ぼす影響を評価した。その結果、本研究で用いたnMOSFETの場合、応力感度におけるゲート長さ依存性は、ソース・ドレイン部分の寄生抵抗の影響と見なせることがわかった。本章で得られた結果は、実装応力に起因するnMOSFETの特性変動評価、および応力効果を考慮したシミュレーションモデルの検討に有用な基礎データとなる。

第4章では、実際の樹脂封止実装工程(QFP実装)で生じる残留応力に起因するnMOSFETのDC特性変動を評価した。すなわち、第3章で応力感度を評価したnMOSFETを、第2章で残留応力を評価した樹脂封止工程で実装(QFP)し、nMOSFETのDC特性変動を測定した。その結果、nMOSFETのゲート水平面内2軸圧縮負荷と見なせる実装応力で、ドレイン電流および相互コンダクタンスの応力感度は減少した。しきい値電圧は変動しなかった。また、第3章で示した1軸負荷の場合と同様に、2軸負荷(と見なせる)の場合でもゲート長さが短くなると実測される相互コンダクタンスの応力感度が減少した。さらに、このDC特性変動測定結果を1軸負荷による応力感度を用いて評価した。その結果、樹脂封止工程で生じる残留応力(本研究では2軸負荷)によるnMOSFETのDC特性変動が、有限要素法により評価された残留応力値、および4点曲げ試験により測定された1軸応力感度を用いてピエゾ効果の関係から見積もり

可能であることを示した.

第 5 章では, デバイスシミュレータへの実装を念頭に置いて, 簡便で入力パラメータの少ない応力効果を考慮した電子移動度モデルについて検討を行った. すなわち, 応力 (ひずみ) による伝導帯エネルギーの変化, および伝導帯エネルギー変化によって引き起こされる電子存在確率と散乱確率の変化を考慮した電子移動度モデルを示した. 移動度モデルを用いて算出される移動度変化率を実験結果と比較することにより, 移動度モデルの妥当性を検証した. その結果, 応力効果としてひずみによる各伝導バレーの電子存在確率の変化に加えて各伝導バレー間の電子散乱確率の変化を考慮したモデルでは, 電子存在確率の変化のみを反映した移動度モデルに比較して応力の効果が大きくなることがわかった. ひずみによる各伝導バレーの電子存在確率の変化と電子散乱確率の変化を考慮したモデルにより, 実験結果から得られる移動度変化率を再現することができた. ただし, 1 軸負荷における移動度変化については, その物理現象の反映においてさらに検討を要することがわかった.

第 6 章では, 応力に起因する nMOSFET の DC 特性変動を, デバイスシミュレーションを用いて評価した. すなわち, 第 5 章で示した応力効果を考慮した電子移動度モデルを用いてデバイスシミュレーションを実施し, 第 4 章で実験結果を示した実装応力による nMOSFET の DC 特性変動をシミュレーションした. その結果, 本研究で構築した応力効果を考慮したデバイスシミュレーション手法により, 実装時の残留応力に起因するドレイン電流の変動, しきい値電圧の挙動および相互コンダクタンスの変動をシミュレーションできることを示した.

今後は, さらに以下のような研究が望まれる.

- (1) 1 軸負荷時における電子移動度の変化に関する物理現象の検討と移動度モデルへの反映.
- (2) デバイスの微細構造に起因した応力分布の評価とデバイスシミュレーション上での考慮.

これらによって, シミュレーションの汎用性が向上するとともに定量的な評価精度が向上する. また, 薄膜プロセス等の真性応力による電気特性変動の評価や微細デバイスへ

の適用も可能となる．さらに，近年研究開発が活発に行われている‘歪み’Si デバイスの設計・評価ツールとしての応用が期待できる．

- (3) 正孔をキャリアとする pMOSFET の電気特性変動計測，評価およびシミュレーションモデルの構築．

現在, nMOSFET と pMOSFET を相補的に動作させる CMOS (Complimentary MOS) の利用が多く，pMOSFET への対応により工業的に有用な評価技術を提供できる．

- (4) 応力による高周波特性変動の計測技術および評価技術の開発．

応力によってデバイスの電気特性が変動した場合，デジタルデバイスに比較して高周波デバイスは最終製品段階での対応が難しい．したがって，高周波特性変動に対する評価技術の確立が工業的に強く望まれている．

本論文で示した手法は応用範囲が広く，工業的に非常に有用で，今後のさらなる発展が望まれている技術である．本技術分野における継続的な研究開発が期待される．

関連発表論文

投稿論文

- [1] 小金丸正明, 池田徹, 宮崎則幸, “ピエゾ抵抗テストチップと有限要素法解析を用いた樹脂封止に起因する半導体チップ表面の残留応力評価”, エレクトロニクス実装学会誌, Vol.9, No.3, pp.186-194, 2006. (第 2 章)

- [2] 小金丸正明, 池田徹, 宮崎則幸, 友景肇, “実験とデバイスシミュレーションによる nMOSFET の応力に起因した DC 特性変動評価”, 電子情報通信学会論文誌 (C), Vol.J90-C, No.4, pp.351-362, 2007. (第 3 章)

- [3] 小金丸正明, 池田徹, 宮崎則幸, 友景肇, “樹脂封止実装時の残留応力に起因した nMOSFET の DC 特性変動評価と電子移動度モデルに関する検討”, 電子情報通信学会論文誌 (C), Vol.J91-C, No.4, pp.257-272, 2008. (第 3, 4, 5 章)

- [4] Masaaki KOGANEMAEU, Toru IKEDA and Noriyuki MIYAZAKI, “Residual stress evaluation in resin-molded IC chips using finite element analysis and piezoresistive gauges”, *Microelectronics Reliability*, accepted. (第 2 章)

国際会議

- [1] Masaaki KOGANEMAEU, Toru IKEDA, Eisuke MORI and Noriyuki MIYAZAKI, “Evaluation of residual stress in resin molding IC chips using FEM”, Proceedings of the International Conference on Electronics Packaging 2004 (ICEP 2004), Tokyo, Japan, April 2004.

- [2] Masaaki KOGANEMAEU, Toru IKEDA and Noriyuki MIYAZAKI, “Experimental and numerical evaluation of residual stress in IC chips”, Proceedings of the ASME/Pacific Rim Technical Conference and Exhibition on Integration and Packaging of MEMS, NEMS, and Electronic Systems (InterPACK’05), San Francisco, USA, July 2005.

- [3] Masaaki KOGANEMAEU, Toru IKEDA, Noriyuki MIYAZAKI and Hajime TOMOKAGE, “Evaluation of stress-induced effect in electronic characteristics of nMOSFETs”, Proceedings of the 1st Electronics Systemintegration Technology Conference (ESTC 2006), Dresden, Germany, September 2006.

- [4] Masaaki KOGANEMAEU, Toru IKEDA, Noriyuki MIYAZAKI, Kiyotaka YAMAGUCHI and Hajime TOMOKAGE, “Stress-induced shift of DC characteristics of nMOSFETs in resin-molded electronic packages”, Proceedings of the International Conference on Electronics Packaging 2007 (ICEP 2007), Tokyo, Japan, April 2007.

- [5] Masaaki KOGANEMAEU, Toru IKEDA, Noriyuki MIYAZAKI and Hajime TOMOKAGE, “Stress-induced effects in electronic characteristics of n-type MOSFETs in resin-molded packages”, Proceedings of the ASME/Pacific Rim

Technical Conference and Exhibition on Packaging and Photonic Systems, MEMS, and NEMS (InterPACK' 07), Vancouver, Canada, July 2007.

- [6] Masaaki KOGANEMAEU, Toru IKEDA, Noriyuki MIYAZAKI and Hajime TOMOKAGE, "Drift-diffusion device simulation of stress-induced effect on electronic characteristics of nMOSFETs", Proceedings of the Third Asian-Pacific Congress on Computational Mechanics (APCOM' 07), Kyoto, Japan, December 2007.

国内学術講演会

- [1] 小金丸正明, 池田徹, 森栄輔, 宮崎則幸, 内野正和, 井芹陽一, "ベアチップ実装における半導体チップの残留応力評価", 日本機械学会第16回計算力学講演会, 神戸市, 2003年11月.
- [2] 小金丸正明, 池田徹, 森栄輔, 宮崎則幸, "樹脂封止されたICチップ表面の残留応力評価", 日本機械学会第17回計算力学講演会, 仙台市, 2004年11月.
- [3] 小金丸正明, 池田徹, 宮崎則幸, 友景肇, "ピエゾテストチップと有限要素法解析を用いた樹脂封止に起因する半導体チップ残留応力の評価", エレクトロニクス実装学会講演会「実装分野における樹脂材料技術の基礎」, 福岡市, 2005年11月.
- [4] 小金丸正明, 池田徹, 宮崎則幸, 小出康智, 友景肇, "樹脂封止されたデバイスの残留応力に起因した特性変動評価", 日本機械学会第18回計算力学講演会, つくば市, 2005年11月.
- [5] 小金丸正明, 池田徹, 宮崎則幸, 小出康智, 友景肇, "4点曲げ負荷による MOSFET

- の電気特性変動評価”, 第 20 回エレクトロニクス実装学会講演大会, 東京都, 2006 年 3 月.
- [6] 小金丸正明, 池田徹, 宮崎則幸, 友景肇, “2 次元デバイスシミュレーションによる nMOSFET の応力に起因した電気特性変動評価”, 第 67 回応用物理学会学術講演会, 草津市, 2006 年 8 月.
- [7] 小金丸正明, 池田徹, 宮崎則幸, 友景肇, “樹脂封止された MOSFET の残留応力に起因した電気特性変動の評価”, 日本機械学会 2006 年度年次大会, 熊本市, 2006 年 9 月.
- [8] 小金丸正明, 池田徹, 宮崎則幸, 友景肇, “応力に起因した nMOSFET の電気特性変動デバイスシミュレーション”, 日本機械学会第 19 回計算力学講演会, 名古屋市, 2006 年 11 月.
- [9] 小金丸正明, 池田徹, 宮崎則幸, 友景肇, “nMOSFET における応力効果を考慮した 3 次元デバイスシミュレーション”, 日本機械学会第 20 回計算力学講演会, 京田辺市, 2007 年 11 月.

謝辞

本論文は、著者が京都大学大学院工学研究科ならびに九州大学大学院工学府に在籍してまとめたものです。両大学院での指導教員でありました宮崎 則幸 教授には、終始的確かつ熱心な御指導を賜りました。また、同 池田 徹 准教授には、一貫して献身的かつ懇切丁寧なる御指導を賜りました。両先生の御指導のもとで研究活動を行えたことは、著者の幸せであります。心より敬意と感謝の意を表します。

本論文を完成するにあたり、京都大学大学院工学研究科 木村 健二 教授ならびに北條 正樹 教授には、多くの的確な御助言を賜りました。深く感謝の意を表します。

福岡大学工学部電子情報工学科 友景 肇 教授には、本研究を遂行するにあたり多くの有益な御助言、御助力を賜りました。心からの謝意を表します。

新日本無線株式会社 吉田 誠一郎 氏、ミツミ電機株式会社 井芹 陽一 氏には、試験片ならびに試験装置作製に御協力頂きました。心より御礼を申し上げます。

本論文の研究を実施するにあたっては、著者が所属する福岡県工業技術センターならびに同 機械電子研究所の所長をはじめとする職場の先輩、同僚に多大な御援助を頂きました。また、京都大学大学院工学研究科ならびに九州大学大学院工学府の宮崎研究室 諸氏には、多大な御協力を頂きました。厚く御礼申し上げます。

最後に、著者の研究活動を支えてくれた家族に感謝致します。

